

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
:
:
Hirofumi NAKAGAWA, et al. :
:
:
Serial No.: Group Art Unit:
:
:
Filed: June 30, 2003 Examiner:
:
For: DISPLAY DEVICE DRIVING CIRCUIT AND DISPLAY DEVICE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

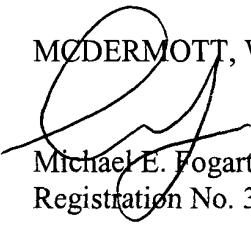
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-251876, filed August 29, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: June 30, 2003

日本特許庁
JAPAN PATENT OFFICE

60188-449

NAKAGAWA
et al.

June 30, 2003.
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月29日

出願番号

Application Number:

特願2002-251876

[ST.10/C]:

[JP2002-251876]

出願人

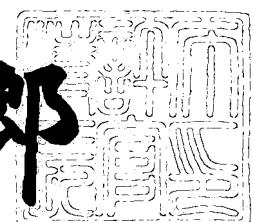
Applicant(s):

松下電器産業株式会社

2003年 2月14日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007863

【書類名】 特許願

【整理番号】 5038440103

【提出日】 平成14年 8月29日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 中川 博文

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 皿井 修

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 種村 文法

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下システムテクノ株式会社内

【氏名】 藤野 美季

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置用駆動回路及び表示装置

【特許請求の範囲】

【請求項1】 マトリックス状に配置されたサブピクセルと、上記サブピクセルに画像形成用信号を供給するための複数列の信号線とを含む表示部を有する表示装置に用いられる表示装置用駆動回路であって、

上記複数列の信号線に上記画像形成用信号を伝達するための電圧供給配線と、

上記画像形成用信号の上記電圧供給配線への伝達をオンまたはオフにするためのスイッチと、

上記複数列の信号線のうち奇数列の信号線に接続するための電圧供給配線と、上記複数列の信号線のうち偶数列の信号線に接続するための電圧供給配線とを上記スイッチがオフの期間を含む所定の期間電気的に短絡し、且つ上記奇数列の信号線に接続するための電圧供給配線の電位と、上記偶数列の信号線に接続するための電圧供給配線の電位との極性が切り替わる際に自律的にオフ状態にすることが可能な短絡手段と

を備えている表示装置用駆動回路。

【請求項2】 請求項1に記載の表示装置用駆動回路において、

上記奇数列の信号線及び上記偶数列の信号線は、互いに隣接する信号線であることを特徴とする表示装置用駆動回路。

【請求項3】 請求項1または2に記載の表示装置用駆動回路において、

上記所定の期間中は、上記電圧供給配線のすべてが互いに電気的に短絡することを特徴とする表示装置用駆動回路。

【請求項4】 請求項1に記載の表示装置用駆動回路において、

上記サブピクセルは表示する色ごとに分かれており、

上記奇数列の信号線に接続するための電圧供給配線と、上記偶数列の信号線に接続するための電圧供給配線とは、互いに同一色の上記サブピクセルを駆動するための上記画像形成用信号を供給することを特徴とする表示装置用駆動回路。

【請求項5】 請求項4に記載の表示装置用駆動回路において、

上記信号線は赤用、緑用、青用の3種類に分かれており、

Kを任意の自然数とすると、上記複数列の信号線のうち、K列目の信号線と（K+3）列目の信号線とが上記短絡手段により互いに電気的に短絡されることを特徴とする表示装置用駆動回路。

【請求項6】 請求項4または5に記載の表示装置用駆動回路において、上記所定の期間には、上記サブピクセルのうち同色用のサブピクセルに上記画像形成用信号を供給するためのすべての電圧供給配線が電気的に短絡されることを特徴とする表示装置用駆動回路。

【請求項7】 請求項1～6のうちいずれか1つに記載の表示装置用駆動回路において、

上記短絡手段は、
上記奇数列の信号線に接続するための電圧供給配線と上記偶数列の信号線に接続するための電圧供給配線とを上記所定の期間電気的に接続する短絡用配線と、
上記短絡用配線上に介設され、制御部を有するスイッチング素子と、
少なくとも上記所定の期間中に、上記奇数列の信号線に接続するための電圧供給配線の電位または上記偶数列の信号線に接続するための電圧供給配線の電位のいずれか一方が上記制御部に印加されるように制御する制御用素子と
を有していることを特徴とする表示装置用駆動回路。

【請求項8】 請求項7に記載の表示装置用駆動回路において、
上記スイッチング素子は上記制御部がゲート電極である第1導電型の第1のMISFETであり、

上記制御用素子は、
上記奇数列の信号線に接続するための電圧供給配線と上記スイッチング素子のゲート電極との間に介設された第2導電型の第2のMISFETと、
上記偶数列の信号線に接続するための電圧供給配線と上記スイッチング素子のゲート電極との間に介設された第2導電型の第3のMISFETと
を有していることを特徴とする表示装置用駆動回路。

【請求項9】 請求項7または8に記載の表示装置用駆動回路において、
上記画像形成用信号は水平走査期間ごとに極性が反転し、
上記スイッチング素子のゲート電極には、上記水平走査期間を通して上記奇数

列の信号線に接続するための電圧供給配線の電位または上記偶数列の信号線に接続するための電圧供給配線の電位のいずれか一方が上記制御部に印加されるよう制御されることを特徴とする表示装置用駆動回路。

【請求項10】 請求項8に記載の表示装置用駆動回路において、

上記制御用素子は、接地と上記第1のMISFETのゲート電極との間に介設され、上記所定期間以外には上記スイッチング素子をオフさせるための第1導電型の第4のMISFETをさらに有し、

上記第4のMISFETと上記第1のMISFETのゲート電極とを接続する配線は、上記第2のMISFET及び上記第3のMISFETに接続されていることを特徴とする表示装置用駆動回路。

【請求項11】 請求項1～6のうちいずれか1つに記載の表示装置用駆動回路において、

上記短絡手段は、

上記奇数列の信号線に接続するための電圧供給配線と上記偶数列の信号線に接続するための電圧供給配線とを上記所定の期間電気的に接続する第1の短絡用配線及び第2の短絡用配線と、

上記第1の短絡用配線上に介設され、上記奇数列の信号線に接続するための電圧供給配線の電位が上記偶数列の信号線に接続するための電圧供給配線の電位以上の場合にのみオンし、上記偶数列の信号線に接続するための電圧供給配線の電位を下回る場合には自律的にオフする第1のスイッチング素子と、

上記第2の短絡用配線上に介設され、上記偶数列の信号線に接続するための電圧供給配線の電位が上記奇数列の信号線に接続するための電圧供給配線の電位以上の場合にのみオンし、上記奇数列の信号線に接続するための電圧供給配線の電位を下回る場合には自律的にオフする第2のスイッチング素子とを有していることを特徴とする表示装置用駆動回路。

【請求項12】 請求項11に記載の表示装置用駆動回路において、

上記第1のスイッチング素子は、ゲート電極が上記第1の短絡用配線に接続された第1導電型のMISFETと第1のトランスマニアゲートであり、

上記第2のスイッチング素子は、ゲート電極が上記第2の短絡用配線に接続さ

れ、第1導電型のMISFETと第2のトランスマニアゲートであることを特徴とする表示装置用駆動回路。

【請求項13】 請求項11に記載の表示装置用駆動回路において、上記第1のスイッチング素子は、第1のダイオードと第3のトランスマニアゲートであり、

上記第2のスイッチング素子は、第4のトランスマニアゲートと、上記第1の出力部及び上記第2の出力部に対して上記第1のダイオードと逆方向に配置された第2のダイオードとであることを特徴とする表示装置用駆動回路。

【請求項14】 請求項1～13のうちいずれか1つに記載の表示装置用駆動回路において、

上記電圧供給配線のうち上記複数の信号線との接続部分は複数の配線層内に設けられ、

同一配線層内では、上記複数列の信号線のうち互いに隣接する信号線に接続するための接続部分同士、または上記複数列の信号線のうち互いに同一色用の信号線に接続するための接続部分同士が隣接して設けられていることを特徴とする表示装置用駆動回路。

【請求項15】 請求項1～14のうちいずれか1つに記載の表示装置用駆動回路において、

上記電圧供給配線のうち上記複数の信号線との接続部分は複数の配線層内に設けられ、

上記接続部分の中で、上記複数列の信号線のうち互いに隣接する信号線に接続するための接続部分同士、または上記複数列の信号線のうち互いに同一色用の信号線に接続するための接続部分同士は、上記複数の配線層のうち第1の配線層内と、上記複数の配線層のうち上記第1の配線層の直上に設けられた第2の配線層内とに分割して設けられ、且つ平面的に見てオーバーラップするように配置されていることを特徴とする表示装置用駆動回路。

【請求項16】 請求項4～6のうちいずれか1つに記載の表示装置用駆動回路において、

上記表示装置用駆動回路は、上記画像形成用信号を上記スイッチに伝達し、且

つ列状に配置された複数のオペアンプをさらに有し、

上記複数のオペアンプのうち、K列目の上記信号線に供給する画像形成用信号を出力するためのオペアンプと（K+3）列目の上記信号線に供給する画像形成用信号を出力するためのオペアンプとが互いに隣接して配置されることを特徴とする表示装置用駆動回路。

【請求項17】 請求項1～16のうちいずれか1つに記載の表示装置用駆動回路において、

上記奇数列の信号線と上記偶数列の信号線にそれぞれ供給するための画像形成信号の極性は、互いに逆になっていることを特徴とする表示装置用駆動回路。

【請求項18】 マトリックス状に配置されたサブピクセルと、上記サブピクセルに画像形成用信号を供給するための複数列の信号線とを含む表示部を有する表示装置に用いられる表示装置用駆動回路であって、

上記複数列の信号線に上記画像形成用信号を伝達するための電圧供給配線と、

上記画像形成用信号の上記電圧供給配線への伝達をオンまたはオフにするためのスイッチと、

上記画像形成用信号を上記スイッチに伝達し、且つ列状に配置された複数のオペアンプと、

上記複数列の信号線のうち奇数列の信号線に接続するための電圧供給配線と、上記複数列の信号線のうち偶数列の信号線に接続するための電圧供給配線とを上記スイッチがオフの期間を含む所定の期間電気的に短絡するための短絡手段とを備え、

Kを自然数とするとき、上記複数のオペアンプのうち、K列目の上記信号線に供給する画像形成用信号を出力するためのオペアンプと（K+3）列目の上記信号線に供給する画像形成用信号を出力するためのオペアンプとは互いに隣接して配置されることを特徴とする表示装置用駆動回路。

【請求項19】 請求項18に記載の表示装置用駆動回路において、

上記所定の期間には、上記サブピクセルのうち同色用のサブピクセルに上記画像形成用信号を供給するためのすべての電圧供給配線が電気的に短絡されることを特徴とする表示装置用駆動回路。

【請求項20】 マトリックス状に配置されたサブピクセルと、上記サブピクセルに画像形成用信号を供給するための複数列の信号線と、上記複数列の信号線のうち、奇数列の第1の信号線と偶数列の第2の信号線とを所定の期間電気的に短絡し、且つ上記奇数列の信号線に接続するための電圧供給配線の電位と、上記偶数列の信号線に接続するための電圧供給配線の電位との極性が切り替わる際に自律的にオフ状態にすることが可能な短絡手段と
を有する表示部と、

上記表示部の外縁部に配置され、上記第1の信号線に接続された第1の電圧供給配線と上記第2の信号線に接続された第2の電圧供給配線とを有する表示装置用駆動回路と
を備えていることを特徴とする表示装置。

【請求項21】 請求項20に記載の表示装置において、
上記サブピクセルは表示する色ごとに分かれており、
上記第1の信号線及び第2の信号線は、互いに同一色用の上記サブピクセルに
上記画像形成用信号を供給するための信号線であることを特徴とする表示装置。

【請求項22】 請求項21に記載の表示装置において、
上記サブピクセルのうち同色用のサブピクセルに上記画像形成用信号を供給するためのすべての信号線が電気的に短絡されることを特徴とする表示装置。

【請求項23】 請求項20～22のうちいずれか1つに記載の表示装置において、
上記短絡手段は、

上記奇数列の信号線と上記偶数列の信号線とを上記所定の期間電気的に接続する短絡用配線と、

上記短絡用配線上に介設され、制御部を有するスイッチング素子と、
少なくとも上記所定の期間中に、上記奇数列の信号線に接続するための電圧供給配線の電位または上記偶数列の信号線に接続するための電圧供給配線の電位のいずれか一方が上記制御部に印加されるように制御する制御用素子と
を有していることを特徴とする表示装置。

【請求項24】 請求項20～22のうちいずれか1つに記載の表示装置に

おいて、

上記短絡手段は、

上記奇数列の信号線と上記偶数列の信号線とを上記所定の期間電気的に接続する第1の短絡用配線及び第2の短絡用配線と、

上記第1の短絡用配線上に介設され、上記奇数列の信号線に接続するための電圧供給配線の電位が上記偶数列の信号線に接続するための電圧供給配線の電位以上の場合にのみオンし、上記偶数列の信号線に接続するための電圧供給配線の電位を下回る場合には自律的にオフする第1のスイッチング素子と、

上記第2の短絡用配線上に介設され、上記偶数列の信号線に接続するための電圧供給配線の電位が上記奇数列の信号線に接続するための電圧供給配線の電位以上の場合にのみオンし、上記奇数列の信号線に接続するための電圧供給配線の電位を下回る場合には自律的にオフする第2のスイッチング素子と
を有していることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置用駆動回路に関し、より詳細には、ドット反転駆動を行なう液晶表示装置用の駆動回路に関する。

【0002】

【従来の技術】

液晶ディスプレイ (LCD ; Liquid Cristal Display) は、ブラウン管などと比べて消費電力が小さく、スペースも取らないことから、現在では主要な画像表示装置の1つとなっている。この中でも、TFT (Thin-Film-Transistor) を用いたアクティブマトリクス方式の液晶ディスプレイは、高精細で、大画面化が可能であるため、パーソナル・コンピュータ用ディスプレイやテレビ画面などに用いられる。

【0003】

図14は、従来のフルカラー液晶表示装置を示す回路図である。

【0004】

同図に示すように、従来の液晶表示装置は、信号線駆動回路110と、走査線駆動回路112と、表示部（液晶パネル）とを備えている。

【0005】

そして、表示部は、信号線（ソース）駆動回路110から列方向（図中の縦方向）延びる複数の信号線152a, 152b, 152c…（以下まとめて信号線152と称す）と、走査線（ゲート線）駆動回路112から行方向（図中の横方向）に延びる複数の走査線（ゲート線）151a, 151b, 151c…（以下まとめて走査線151と称する）と、信号線152と走査線151との複数の交点付近にマトリックス状に配置されたサブピクセル153とを有している。また、各サブピクセル153は、液晶セル155とホールドコンデンサ156とTFT154とを有している。液晶セル155中の液晶は、画素電極と対向電極との間に挟まれている。ここで、「サブピクセル」とは、画素（ピクセル）の構成要素であって、赤（R）、緑（G）、青（B）のいずれかの色を表示するものである。

【0006】

信号線駆動回路110は、通常多出力を有する集積回路であって、TFT154のソース電極に出力電圧Vout1, Vout2, Vout3…を供給する。なお、図14ではトランスマニアゲートTG101a, TG101b…が隣接する信号線駆動回路110の外部に設けられているように見えるが、実際には信号線駆動回路110内に設けられている。ただし、トランスマニアゲートTG101a, TG101b…は、パネル側に設けられていてもよい。このトランスマニアゲート101は信号線駆動回路110の出力部同士を電気的に接続するためのものであり、これについては後に説明する。

【0007】

また、走査線駆動回路112も一般には多出力を有する集積回路であって、TFT154のゲート電極に出力電圧を供給する。

【0008】

この液晶表示装置では、走査線駆動回路112が各サブピクセル153を行単位で選択し、信号線駆動回路110が画像形成用信号を電圧の形で供給すること

によって画像が表示される。なお、フルカラー表示を行なう場合には、信号線 152 は R (赤) , G (緑) , B (青) の各色用に分けられている。

【0009】

上述のような液晶表示装置では、長時間にわたり直流電圧が印加されると「焼き付き」と呼ばれる残像現象を起こすため、所定周期で液晶に印加される電圧を反転させる必要がある。このような駆動法をフレーム反転駆動と呼ぶ。

【0010】

フレーム反転駆動には、ライン反転駆動やドット反転駆動などがある。

【0011】

ドット反転駆動とは、隣接するサブピクセル間で印加される電圧の極性を逆極性とする駆動法であり、フリッカと呼ばれる画面のちらつきをライン反転駆動に比べて抑えることができる。

【0012】

図15は、ドット反転駆動を用いる場合の従来の信号線駆動回路の一部を示す図である。同図では、信号線駆動回路のうち特に出力回路を示している。

【0013】

画像信号処理回路や階調電圧発生回路（図示せず）から送られた画像形成用信号、階調信号は、信号線駆動回路に入力される。そして、信号線駆動回路の出力回路からは階調信号に応じた出力電圧 V_{out1} , V_{out2} …が出力される。

【0014】

図15に示すように、従来の信号線駆動回路は、その出力回路にオペアンプ A_{mp101} , A_{mp102} と出力部 $out1$, $out2$ と、オペアンプ A_{mp1} の出力部と出力部 $out1$ とを結ぶ電圧供給配線 S₁ と、オペアンプ A_{mp2} の出力部と出力部 $out2$ とを結ぶ電圧供給配線 S₂ と、電圧供給配線 S₁ 上に設けられたスイッチ SW₁ と、電圧供給配線 S₂ 上に設けられたスイッチ SW₂ と、電圧供給配線 S₁ と電圧供給配線 S₂ との間に設けられ、出力部 $out1$ と出力部 $out2$ とを短絡するためのトランスマルチゲート TG₁₀₁ とを備えている。ここでは、隣接する 2 つの出力部しか示さないが、実際の出力回路では多数の電圧供給配線に接続された多数の出力部が並んでいる。

【0015】

次に、従来の信号線駆動回路の動作及び機能を説明する。

【0016】

図16は、従来の出力回路各部における電圧変化を示すタイミングチャート図である。

【0017】

同図に示すように、ドット反転駆動において、互いに隣接する出力部out1, out2の電圧 V_{out1} , V_{out2} は、コモン電圧 V_{com} を基準として互いに正負逆極性の電圧となっている。そして、各出力部の極性は、水平走査期間Hごとに V_{com} を基準として正と負が入れ替わる。

【0018】

液晶表示装置を駆動する際には、図14に示す信号線152の寄生容量、ホールドコンデンサ156の容量及び液晶セル155の液晶容量などが負荷容量として生じる。この負荷容量を駆動する電流も液晶表示装置全体の消費電力の一部となるので、従来の信号線駆動回路では、スイッチSW1, SW2と、隣接する出力部out1, out2間を短絡するためのトランスマニアゲートTG101とが設けられ、消費電力の低減が図られている。この消費電力の低減効果について、回路動作を交えて説明する。

【0019】

図16に示すように、ドット反転駆動の従来の信号線駆動回路では、水平走査期間Hは、期間Bと期間Aとに分かれている。

【0020】

まず、水平走査期間H1において、オペアンプAmp1, Amp2の各出力電圧 V_{o1} , V_{o2} の極性がそれぞれ(+)、(-)から(-), (+)へと変化する際に、期間Bの間スイッチSW1, SW2は共にオフになる。この期間Bでは、トランスマニアゲートTG101はオンとなり、出力部out1と出力部out2とは互いに電気的に短絡される。また、期間Bの間にオペアンプAmp1の出力電圧 V_{o1} の極性は(-)に、オペアンプAmp2の出力電圧 V_{o2} の極性は(+)にそれぞれ変化する。

【0021】

ここで、パネル側には、出力部out1, out2にそれぞれ接続された負荷容量が存在する。そして、出力電圧が期間Bの直前まで(+)であった出力部out1に接続された負荷は、出力部out2に接続される負荷よりも充電量が大きくなっている。そのため、トランスマルチゲートTG101がオンであることにより、期間Bでは出力部out1に接続された負荷から出力部out2に接続される負荷へと電流Iが流れ込む。この間、スイッチSW1, SW2はオフになっているため、電力を消費せずに出力部out1の電位を出力部out2の電位に近づけることができる。

【0022】

次に、期間Aでは、スイッチSW1, SW2は共にオンとなり、トランスマルチゲートTG101はオフとなる。すると、図16に示すように、オペアンプAmp101, Amp102の各出力部がそれぞれ出力部out1, out2に接続される。この時、出力部out1に接続された負荷は出力部out1からオペアンプAmp1へと流れる電流を放電するとともに、出力部out2に接続された負荷はオペアンプAmp2から出力部out2へと流れる電流により充電される。このため、期間Aの開始から少し遅れてから、Vout1が(-)に、Vout2が(+)の状態になる。

【0023】

期間AではオペアンプAmp101, Amp102に電流が流れるため電力を消費するが、期間Bにおいて液晶表示装置の隣接する負荷間で電荷が分配される分、消費電力を小さくすることができる。

【0024】

この効果は、続く水平走査期間H2でも同様である。すなわち、期間BではスイッチSW1, SW2がオフ、トランスマルチゲートTG101がオンになるので、トランスマルチゲートTG101には水平走査期間H1の時とは逆方向に電流Iが流れ、出力部out2に接続された負荷から出力部out1に接続される負荷へと電荷が分配される。

【0025】

続いて、水平走査期間H2の期間AではスイッチSW1, SW2がオン、トランスマルチゲートTG1がオフとなる。これにより、オペアンプAmp1から出力される電流により出力部out1に接続された負荷が充電されるとともに、出力部out2に接続された負荷は出力部out2からオペアンプAmp2へと流れる電流を放電する。

【0026】

従来の信号線駆動回路では、以上のような動作が繰り返される。

【0027】

以上のように、従来の信号線駆動回路では、ドット反転駆動を行なう際の省電力化が図られている。このような信号線駆動回路の出力同士を短絡する構成は、例えば特開平11-95729号公報や特開2000-39870号公報に記載されている。

【0028】

なお、図17は、従来の信号線駆動回路のうち、出力回路のマスクレイアウト配置を模式的に示したブロック図である。

【0029】

以上で説明した従来の信号線駆動回路は、例えば384出力程度が1つのチップに集積化された形で供給される。

【0030】

その回路配置は、図17に示すように、n出力(nは自然数)の場合、n個のオペアンプが列状に配置され、隣接するオペアンプに接続された出力部はオペアンプと同じ順番で列状に配置される。出力部を短絡するためのトランスマルチゲートは、1対のオペアンプに対して1個配置され、オペアンプ、出力部と同じ順番で配置される。

【0031】

なお、液晶表示装置がフルカラーの場合、R-G-B-R-G-B…などと、3色を1組みとした順番で配置されている。そのため、従来の信号線駆動回路では、例えばR(赤)とG(緑)、B(青)とRなど、異なる色用の出力部同士が短絡されていた。

【0032】

【発明が解決しようとする課題】

図16に示すように、従来の信号線駆動回路では、 V_{out1} と V_{out2} の両電圧が平衡状態に達するまでの時間が期間Bよりも十分に短い場合、負荷が有する電荷を効果的に分配することができる。

【0033】

しかしながら、大画面の液晶表示装置などでは、信号線の負荷容量も大きくなつており、充電には時間がかかる。このような場合、 V_{out1} と V_{out2} とが平衡状態に達する前に期間Bが終わるため、負荷が有する電荷は十分に再分配されない。このため、信号線駆動回路から充電する電荷量が大きくなり、消費電力の低減効果は小さくなる。

【0034】

以上のような場合に、信号線駆動回路から充電する電荷量が大きくなると、信号線駆動回路のICチップ内での発熱が大きくなり、回路動作が熱により阻害されるおそれも出てくる。

【0035】

また、従来の信号線駆動回路では、異なる色用の出力部同士を短絡していたため、画面表示によっては電力削減効果が十分に出ない場合があった。

【0036】

例えば、R階調用とG階調用の出力部が短絡される場合、RとGの表示が揃う全白表示や全黒表示では消費電力が削減されるが、全赤表示では電力が十分に削減されない。

【0037】

以上のように、従来の信号線駆動回路では、さらに消費電力を削減する余地があり、特にパネル側の負荷容量が大きい場合には消費電力の削減効果が十分とは言えなかった。

【0038】

本発明の目的は、さらなる低電力化が図られた表示装置と、該表示装置を実現するための表示装置用駆動回路とを提供することにある。

【0039】

【課題を解決するための手段】

本発明の第1の表示装置用駆動回路は、マトリックス状に配置されたサブピクセルと、上記サブピクセルに画像形成用信号を供給するための複数列の信号線とを含む表示部を有する表示装置に用いられる表示装置用駆動回路であって、上記複数列の信号線に上記画像形成用信号を伝達するための電圧供給配線と、上記画像形成用信号の上記電圧供給配線への伝達をオンまたはオフにするためのスイッチと、上記複数列の信号線のうち奇数列の信号線に接続するための電圧供給配線と、上記複数列の信号線のうち偶数列の信号線に接続するための電圧供給配線とを上記スイッチがオフの期間を含む所定の期間電気的に短絡し、且つ上記奇数列の信号線に接続するための電圧供給配線の電位と、上記偶数列の信号線に接続するための電圧供給配線の電位との極性が切り替わる際に自律的にオフ状態にすることが可能な短絡手段とを備えている。

【0040】

この構成により、奇数列の信号線に接続するための電圧供給配線の電位と、偶数列の信号線に接続するための電圧供給配線の電位との極性が切り替わる際に自律的にオフ状態にするように駆動回路を制御可能であるので、奇数列の信号線を含む表示部側の負荷と偶数列の信号線を含む表示部側の負荷との間で電荷の分配が完了するまで接続手段は導通状態とすることができる。その結果、表示装置用駆動回路側から表示部に流れる電流を低減する事ができる。

【0041】

上記奇数列の信号線及び上記偶数列の信号線は、互いに隣接する信号線であることにより、ドット反転駆動の表示装置に用いる場合、極性の異なる画像形成信号を受ける信号線同士を短絡することができるので、表示部側の負荷間での電荷の再分配を効率的に行うことができる。

【0042】

上記所定の期間中は、上記電圧供給配線のすべてが互いに電気的に短絡することにより、電圧供給配線の電位が全電圧供給配線の平均値に近づくので、表示部側の負荷間での電荷の再分配を効率的に行うことができる。

【0043】

上記サブピクセルは表示する色ごとに分かれており、上記奇数列の信号線に接続するための電圧供給配線と、上記偶数列の信号線に接続するための電圧供給配線とは、互いに同一色の上記サブピクセルを駆動するための上記画像形成用信号を供給することにより、同一色用サブピクセル間を短絡することになるので、単に隣接する信号線同士を短絡する場合よりもさらに効果的に表示部側の負荷間での電荷の再分配を行うことができる。

【0044】

上記信号線は赤用、緑用、青用の3種類に分かれており、Kを任意の自然数とすると、上記複数列の信号線のうち、K列目の信号線と(K+3)列目の信号線とが上記短絡手段により互いに電気的に短絡されることにより、表示装置がR, G, Bのフルカラー表示の場合に効果的に表示部側の負荷間での電荷の再分配を行うことができる。

【0045】

上記所定の期間には、上記サブピクセルのうち同色用のサブピクセルに上記画像形成用信号を供給するためのすべての電圧供給配線が電気的に短絡されることにより、短絡される電圧供給配線の電位がより平均化されるので、表示部側の負荷間での電荷の再分配を効率的に行なうことができる。

【0046】

上記短絡手段は、上記奇数列の信号線に接続するための電圧供給配線と上記偶数列の信号線に接続するための電圧供給配線とを上記所定の期間電気的に接続する短絡用配線と、上記短絡用配線上に介設され、制御部を有するスイッチング素子と、少なくとも上記所定の期間中に、上記奇数列の信号線に接続するための電圧供給配線の電位または上記偶数列の信号線に接続するための電圧供給配線の電位のいずれか一方が上記制御部に印加されるように制御する制御用素子とを有していることにより、奇数列の信号線に接続するための電圧供給配線の電位と偶数列の信号線に接続するための電圧供給配線の電位との極性の切り替わりに応じて接続手段をオフすることが可能になる。

【0047】

上記スイッチング素子は上記制御部がゲート電極である第1導電型の第1のMISFETであり、上記制御用素子は、上記奇数列の信号線に接続するための電圧供給配線と上記スイッチング素子のゲート電極との間に介設された第2導電型の第2のMISFETと、上記偶数列の信号線に接続するための電圧供給配線と上記スイッチング素子のゲート電極との間に介設された第2導電型の第3のMISFETとを有していることにより、例えば、表示装置用駆動回路中のスイッチがオフの期間中だけでなく、スイッチがオンである際にも表示部側負荷間の電荷を無駄なく再分配することができるので、表示部側の負荷が大きい場合でも、表示装置の省電力化を図ることができる。また、接続手段がMISFETで構成されるので、回路面積を小さくすることができ、ひいてはチップサイズを小さくできる。

【0048】

上記画像形成用信号は水平走査期間ごとに極性が反転し、上記スイッチング素子のゲート電極には、上記水平走査期間を通して上記奇数列の信号線に接続するための電圧供給配線の電位または上記偶数列の信号線に接続するための電圧供給配線の電位のいずれか一方が上記制御部に印加されるように制御されることで、上述のように、表示部側の負荷が大きい場合であっても、表示装置の省電力化を図ることができる。

【0049】

上記制御用素子は、接地と上記第1のMISFETのゲート電極との間に介設され、上記所定期間以外には上記スイッチング素子をオフさせるための第1導電型の第4のMISFETをさらに有し、上記第4のMISFETと上記第1のMISFETのゲート電極とを接続する配線は、上記第2のMISFET及び上記第3のMISFETに接続されていることにより、例えば、電圧供給配線に入力される画像形成信号の立ち上がりまたは立ち下がりが信号線の電位変化に比べて遅い場合でも、第4のMISFETがスイッチング素子をオフし、第2及び第3のMISFETが共にオフとなることで表示部側の負荷が保持する電荷がスイッチ方向へ抜けないように制御することができる。また、従来の表示装置用駆動回路と同じタイミングの画像形成信号で駆動することができるので、コントローラ

などの周辺装置を従来と代えることなく消費電力の低減を図ることができる。

【0050】

上記短絡手段は、上記奇数列の信号線に接続するための電圧供給配線と上記偶数列の信号線に接続するための電圧供給配線とを上記所定の期間電気的に接続する第1の短絡用配線及び第2の短絡用配線と、上記第1の短絡用配線上に介設され、上記奇数列の信号線に接続するための電圧供給配線の電位が上記偶数列の信号線に接続するための電圧供給配線の電位以上の場合にのみオンし、上記偶数列の信号線に接続するための電圧供給配線の電位を下回る場合には自律的にオフする第1のスイッチング素子と、上記第2の短絡用配線上に介設され、上記偶数列の信号線に接続するための電圧供給配線の電位が上記奇数列の信号線に接続するための電圧供給配線の電位以上の場合にのみオンし、上記奇数列の信号線に接続するための電圧供給配線の電位を下回る場合には自律的にオフする第2のスイッチング素子とを有していることにより、表示部側の負荷間で電荷を再分配させたい期間は接続手段をオンにし、奇数列の信号線に接続するための電圧供給配線の電位と偶数列の信号線に接続するための電圧供給配線の電位との極性に切り替わりに応じて接続手段をオフすることが可能になる。そのため、表示部側の負荷に保持された電荷を効率的に再分配でき、消費電力の低減を図ることができる。

【0051】

上記第1のスイッチング素子は、ゲート電極が上記第1の短絡用配線に接続された第1導電型のM I S F E Tと第1のトランスマニアゲートであり、上記第2のスイッチング素子は、ゲート電極が上記第2の短絡用配線に接続され、第1導電型のM I S F E Tと第2のトランスマニアゲートであることにより、第1のトランスマニアゲート及び第2のトランスマニアゲートを一定期間オフにして電圧供給配線の電位に関わらず接続手段をオフにすることもでき、第1のトランスマニアゲートまたは第2のトランスマニアゲートをオンにすることで奇数列及び偶数列の信号線に接続される電圧供給配線の電位の極性が切り替わるまで第1の短絡用配線または第2の短絡用配線を導通させるようにもできる。この結果、回路設計を容易にすることができます。

【0052】

また、上記第1のスイッチング素子は、第1のダイオードと第3のトランジスタアーゲートであり、上記第2のスイッチング素子は、第4のトランジスタアーゲートと、上記第1の出力部及び上記第2の出力部に対して上記第1のダイオードと逆方向に配置された第2のダイオードとであることによっても同様の効果が得られる。

【0053】

上記電圧供給配線のうち上記複数の信号線との接続部分は複数の配線層内に設けられ、同一配線層内では、上記複数列の信号線のうち互いに隣接する信号線に接続するための接続部分同士、または上記複数列の信号線のうち互いに同一色用の信号線に接続するための接続部分同士が隣接して設けられていることにより、同一配線層内で隣接する接続部分間の電位差を従来に比べて大きくすることができる、不良品の検出が容易になるなど、製品検査を容易にすることができます。これにより、消費電力の低減が図られた表示装置を実現するための表示装置用駆動回路の信頼性を向上させることができます。

【0054】

上記電圧供給配線のうち上記複数の信号線との接続部分は複数の配線層内に設けられ、上記接続部分の中で、上記複数列の信号線のうち互いに隣接する信号線に接続するための接続部分同士、または上記複数列の信号線のうち互いに同一色用の信号線に接続するための接続部分同士は、上記複数の配線層のうち第1の配線層内と、上記複数の配線層のうち上記第1の配線層の直上に設けられた第2の配線層内とに分割して設けられ、且つ平面的に見てオーバーラップするように配置されていることにより、層間絶縁膜を挟んで上下に配置された接続部分の電位差を従来に比べて大きくすることができるので、不良品の検出が容易になるなど、製品検査を容易にすることができます。

【0055】

上記表示装置用駆動回路は、上記画像形成用信号を上記スイッチに伝達し、且つ列状に配置された複数のオペアンプをさらに有し、上記複数のオペアンプのうち、K列目の上記信号線に供給する画像形成用信号を出力するためのオペアンプと（K+3）列目の上記信号線に供給する画像形成用信号を出力するためのオペ

アンプとが互いに隣接して配置されることにより、同色用の画像形成信号を供給する電圧供給配線間を短絡する場合に、配線の引き回し等を低減し、設計を容易にすることができる。また、回路面積を縮小することもできる。

【0056】

上記奇数列の信号線と上記偶数列の信号線にそれぞれ供給するための画像形成信号の極性は、互いに逆になっていることにより、極性の異なる画像形成信号を供給する電圧供給配線間が短絡されることになるので、表示部側の負荷間での電荷の再分配を効率的に行なうことができるようになる。

【0057】

本発明の第2の表示装置用駆動回路は、マトリックス状に配置されたサブピクセルと、上記サブピクセルに画像形成用信号を供給するための複数列の信号線とを含む表示部を有する表示装置に用いられる表示装置用駆動回路であって、上記複数列の信号線に上記画像形成用信号を伝達するための電圧供給配線と、上記画像形成用信号の上記電圧供給配線への伝達をオンまたはオフにするためのスイッチと、上記画像形成用信号を上記スイッチに伝達し、且つ列状に配置された複数のオペアンプと、上記複数列の信号線のうち奇数列の信号線に接続するための電圧供給配線と、上記複数列の信号線のうち偶数列の信号線に接続するための電圧供給配線とを上記スイッチがオフの期間を含む所定の期間電気的に短絡するための短絡手段とを備え、Kを自然数とするとき、上記複数のオペアンプのうち、K列目の上記信号線に供給する画像形成用信号を出力するためのオペアンプと（K+3）列目の上記信号線に供給する画像形成用信号を出力するためのオペアンプとは互いに隣接して配置されることにより、表示装置が3色のフルカラー表示の場合に、比較的階調レベルが揃っている同一色用サブピクセル間を短絡することになるので、単に隣接する信号線同士を短絡する場合よりもさらに効率的に表示部側の負荷間での電荷の再分配を行うことができる。

【0058】

上記所定の期間には、上記サブピクセルのうち同色用のサブピクセルに上記画像形成用信号を供給するためのすべての電圧供給配線が電気的に短絡されることにより、さらに効率的に表示部側の負荷間での電荷の再分配を行うことができる

【0059】

本発明の表示装置は、マトリックス状に配置されたサブピクセルと、上記サブピクセルに画像形成用信号を供給するための複数列の信号線と、上記複数列の信号線のうち、奇数列の第1の信号線と偶数列の第2の信号線とを所定の期間電気的に短絡し、且つ上記奇数列の信号線に接続するための電圧供給配線の電位と、上記偶数列の信号線に接続するための電圧供給配線の電位との極性が切り替わる際に自律的にオフ状態にすることが可能な短絡手段とを有する表示部と、上記表示部の外縁部に配置され、上記第1の信号線に接続された第1の電圧供給配線と上記第2の信号線に接続された第2の電圧供給配線とを有する表示装置用駆動回路とを備えている。

【0060】

この構成により、奇数列の信号線の電位と、偶数列の信号線の電位との極性が切り替わる際に自律的にオフ状態にするように制御可能であるので、奇数列の信号線を含む表示部側の負荷と偶数列の信号線を含む表示部側の負荷との間で電荷の分配が完了するまで接続手段は導通状態とすることができます。その結果、表示装置用駆動回路側から表示部に流れる電流を低減する事ができる。

【0061】

上記サブピクセルは表示する色ごとに分かれており、上記第1の信号線及び第2の信号線は、互いに同一色用の上記サブピクセルに上記画像形成用信号を供給するための信号線であることにより、比較的階調レベルが揃っている同一色用サブピクセル間を短絡することになるので、単に隣接する信号線同士を短絡する場合よりもさらに消費電力を低減することができる。

【0062】

上記サブピクセルのうち同色用のサブピクセルに上記画像形成用信号を供給するためのすべての信号線が電気的に短絡されることにより、より効果的に消費電力の低減を図ることができる。

【0063】

上記短絡手段は、上記奇数列の信号線と上記偶数列の信号線とを上記所定の期

間電気的に接続する短絡用配線と、上記短絡用配線上に介設され、制御部を有するスイッチング素子と、少なくとも上記所定の期間中に、上記奇数列の信号線に接続するための電圧供給配線の電位または上記偶数列の信号線に接続するための電圧供給配線の電位のいずれか一方が上記制御部に印加されるように制御する制御用素子とを有していることにより、上記奇数列の信号線に接続される電圧供給配線の電位と上記偶数列の信号線に接続される電圧供給配線の電位の極性の入れ替わりに応じてスイッチング素子を自律的にオフにすることができる。

【0064】

上記短絡手段は、上記奇数列の信号線と上記偶数列の信号線とを上記所定の期間電気的に接続する第1の短絡用配線及び第2の短絡用配線と、上記第1の短絡用配線上に介設され、上記奇数列の信号線に接続するための電圧供給配線の電位が上記偶数列の信号線に接続するための電圧供給配線の電位以上の場合にのみオンし、上記偶数列の信号線に接続するための電圧供給配線の電位を下回る場合には自律的にオフする第1のスイッチング素子と、上記第2の短絡用配線上に介設され、上記偶数列の信号線に接続するための電圧供給配線の電位が上記奇数列の信号線に接続するための電圧供給配線の電位以上の場合にのみオンし、上記奇数列の信号線に接続するための電圧供給配線の電位を下回る場合には自律的にオフする第2のスイッチング素子とを有していることにより、表示部側の負荷間で電荷を再分配させたい期間は接続手段をオンにし、奇数列の信号線に接続するための電圧供給配線の電位と偶数列の信号線に接続するための電圧供給配線の電位との極性に切り替わりに応じて接続手段をオフすることが可能になる。そのため、表示部側の負荷に保持された電荷を効率的に再分配でき、消費電力の低減を図ることができる。

【0065】

【発明の実施の形態】

(第1の実施形態)

本発明の第1の実施形態に係る液晶表示装置は、信号線駆動回路（表示装置用駆動回路）の出力部間を短絡する手段に特徴を有している。

【0066】

図1は、本発明の第1の実施形態に係るドット反転駆動方式の液晶表示装置を示す回路図である。

【0067】

同図に示すように、本実施形態の液晶表示装置は、額縁部のうち上辺部または下辺部に配置された信号線駆動回路18と、額縁部のうち左辺部または右辺部に配置された走査線駆動回路19と、表示部（液晶パネル）とを備えている。

【0068】

表示部の構成は従来と同様であり、信号線（ソース）駆動回路18から列方向（図中の縦方向）延びる複数の信号線62a, 62b, 62c…（以下まとめて信号線62と称す）と、走査線（ゲート線）駆動回路19から行方向（図中の横方向）に延びる複数の走査線（ゲート線）61a, 61b, 61c…（以下まとめて走査線61と称する）と、信号線62と走査線61との複数の交点付近にマトリックス状に配置されたサブピクセル63とを有している。また、各サブピクセル63は、液晶セル65とホールドコンデンサ66とTFT64とを有している。液晶セル65中の液晶は、画素電極と対向電極との間に挟まれている。

【0069】

信号線駆動回路18は、通常多出力を有する集積回路であって、TFT64のソース電極に出力電圧Vout1, Vout2, Vout3…を供給する。ここで、出力電圧Vout1, Vout2, Vout3…は、それぞれR用、G用、B用…のサブピクセルを駆動する。図1では、この信号線駆動回路18は、液晶表示装置の額縁部のうちの上辺部または下辺部のみに配置されているが、額縁部の上下2辺に分けて配置されていてもよい。なお、この場合、上辺部に配置された信号線駆動回路18では、任意の偶数列の信号線62に信号を供給するための出力部と、任意の奇数列の信号線62に信号を供給するための出力部とが互いに隣接するように設けられている。同様に、下辺部に配置された信号線駆動回路18でも、任意の偶数列の信号線62に信号を供給するための出力部と、任意の奇数列の信号線62に信号を供給するための出力部とが互いに隣接するように設けられる。

【0070】

また、走査線駆動回路19も一般には多出力を有する集積回路であって、TFT64のゲート電極に出力電圧を供給する。

【0071】

なお、図1において、第1の制御トランジスタ1、第2の制御トランジスタ3及び短絡用トランジスタ5から構成される短絡手段は信号線駆動回路18の外部に設けられているように見えるが、実際には信号線駆動回路18内に設けられている。この短絡手段は、信号線駆動回路18の隣接する出力部同士を電気的に短絡するためのものであり、本実施形態では例えばR階調用出力部とG階調用出力部、B階調用出力部とR階調用出力部が短絡される。ここで、同色階調用の出力部同士を短絡してもよいが、これについては後の実施形態で詳述する。

【0072】

次に、本実施形態の特徴部分である信号線駆動回路18（以下、「本実施形態の信号線駆動回路」と呼ぶ）について、説明する。

【0073】

図2は、本実施形態の信号線駆動回路の構成の一例を概略的に示すブロック図である。

【0074】

同図に示すように、本実施形態の信号線駆動回路は、順に接続された双方向シフトレジスタ71と、データレジスタ72と、D/Aコンバータ73と、出力回路74とを有している。なお、図示しないが、データレジスタ72は一段目ラッチと二段目ラッチとから構成されている。

【0075】

この信号線駆動回路において、双方向シフトレジスタ71は、スタートパルスHSTR（またはHSTL）を受けて順次データを転送するためのシフトパルスを水平クロックHCKに同期して発生する。データレジスタ72のうち一段目ラッチは、このシフトパルスを受けて各サブピクセルに対応した信号電圧を出力するためのデジタルデータDA1-6、DB1-6、DB1-6をラッチする。次いで、データレジスタ72がデータロード信号LOADを受けると、デジタルデータDA1-6、DB1-6、DB1-6は二段目ラッチに転送され、それと同

時にD/Aコンバータ73に出力される。D/Aコンバータ73は、データレジスタ72でホールドされたデジタル信号をアナログ信号に変換する。そして、アナログ信号に変換された画像形成用信号は、出力回路74から出力される。

【0076】

なお、本実施形態の信号線駆動回路は、出力回路74の内部に特徴があり、図2に示す以外の構成をとっても構わない。

【0077】

図3は、本実施形態の信号線駆動回路のうち、出力回路の構成を示す回路図である。

【0078】

同図に示すように、本実施形態の信号線駆動回路は、出力が入力に帰還されたオペアンプAmp1, Amp2と、液晶パネルに出力電圧Vout1, Vout2をそれぞれ供給するための出力部out1, out2と、オペアンプAmp1の出力部と出力部out1とを接続する電圧供給配線S1と、オペアンプAmp2の出力部と出力部out2とを接続する電圧供給配線S2と、電圧供給配線S1上に介設されたスイッチSW1と、電圧供給配線S2上に介設されたスイッチSW2と、電圧供給配線S1と電圧供給配線S2との間に設けられ、出力部out1と出力部out2とを短絡するための短絡手段2とを有している。ここで、出力部とは、電圧供給配線のうち、表示部の信号線62との接続部分を指している。

【0079】

この短絡手段2は、電圧供給配線S1のうちスイッチSW1ー出力部out1間の部分と電圧供給配線S2のうちスイッチSW2ー出力部out2間の部分との間に設けられており、従来の短絡手段とは異なった構成を有している。

【0080】

すなわち、短絡手段2は、電圧供給配線S1と電圧供給配線S2とを結ぶ配線上に設けられた第1の制御トランジスタ1及び第2の制御トランジスタ3と、電圧供給配線S1と電圧供給配線S2とを結ぶ短絡用配線上に設けられ、ゲート電極が第1の制御トランジスタ1と第2の制御トランジスタ3との間に接続された

短絡用トランジスタ5とから構成されている。ここで、第1の制御トランジスタ1、第2の制御トランジスタ3はそれぞれ制御信号Vb、Vaによって制御されるPチャネル型MISFETであり、短絡用トランジスタ5は、Nチャネル型MISFETである。なお、短絡用トランジスタ5が設けられる短絡用配線には、後に説明するように出力部間の短絡時に電流が流れる。

【0081】

次に、出力回路の動作について説明する。

【0082】

図4は、本実施形態の信号線駆動回路のうち、出力回路の各部における電圧変化及び短絡用配線に流れる電流変化を示すタイミングチャート図である。なお、オペアンプAmp1、Amp2の出力波形は該オペアンプへの入力波形と同じである。

【0083】

本実施形態の信号駆動回路は、ドット反転駆動用であるので、水平走査期間ごとに、オペアンプAmp1、Amp2への入力電圧の極性が反転する。また、互いに隣接する出力部out1、out2の電圧Vout1、Vout2は、コモン電圧Vcom（図示せず）を基準として互いに逆極性の電圧となっている。

【0084】

まず、図4に示すように、水平走査期間H1のうち期間B（オペアンプAmp1、Amp2のハイインピーダンス期間）では、オペアンプAmp1、Amp2への各入力電圧Vin1、Vin2の極性がそれぞれ（+）、（-）から（-）、（+）へと変化する。この期間Bでは、スイッチSW1、SW2は共にオフになる。

【0085】

そして、制御電圧Vbはロー（低電圧）、制御電圧Vaはハイ（高電圧）となる。これにより、期間Bにおいて第1の制御トランジスタ1はオン、第2の制御トランジスタ3はオフとなる。

【0086】

ここで、期間Bの開始時にはVout1の極性は（+）、Vout2の極性は

(-) となるために、高電圧の V_{out1} が短絡用トランジスタ5のゲート電極に入力され、短絡用トランジスタ5はオンとなる。このため、出力部 $out1$ に接続されたパネル側負荷から出力部 $out2$ に接続されたパネル側負荷へ、短絡用トランジスタ5を通って電流 I が流れ込む。

【0087】

なお、本実施形態の信号線駆動回路では、 $V_{out1} > V_{out2}$ の時には、 $V_{th} < (V_{out1} - V_{out2})$ 、 $V_{out1} < V_{out2}$ の時には、 $V_{th} < (V_{out2} - V_{out1})$ を満足する期間に短絡用トランジスタ5はオンとなる。ここで、 V_{th} は短絡用トランジスタ5の基板基準のしきい値電圧である。

このように、少なくとも負荷に充電された電荷の分配が完了するまで短絡用トランジスタ5はオフになることはない。

【0088】

以上の動作により、電力を消費せずに出力部 $out1$ の電位を出力部 $out2$ の電位に近づけることができる。なお、この時、電圧供給配線 $S1$ の電位は出力部 $out1$ の電位と等しくなっており、電圧供給配線 $S2$ の電位は出力部 $out2$ の電位に等しくなっているとみなす。

【0089】

次に、水平走査期間 $H1$ のうち期間Aでは、スイッチ $SW1$ 、 $SW2$ が共にオンになり、オペアンプ $amp1$ 、 $amp2$ の出力がそれぞれ出力部 $out1$ 、 $out2$ へと伝達される。この時、出力部 $out1$ に接続された負荷は出力部 $out1$ からオペアンプ $amp1$ へと流れる電流を放電するとともに、出力部 $out2$ に接続された負荷はオペアンプ $amp2$ から出力部 $out2$ へと流れる電流により充電される。

【0090】

また、期間Aでは、期間Bと同じく制御電圧 Vb がロー、制御電圧 Va がハイになっているので、引き続き短絡用トランジスタ5のゲート電極は出力部 $out1$ に接続されている。そのため、図4に示すように、期間Aの開始直後に V_{out1} と V_{out2} の電位差が V_{th} より低くなると、短絡用トランジスタ5は自

律的にオフとなる。

【0091】

次に、水平走査期間H1に続く水平走査期間H2では、 V_{out1} , V_{out2} の極性や V_{in1} , V_{in2} の極性などが水平走査期間H1とは逆になっている。

【0092】

期間Bにおいて、スイッチSW1, SW2は共にオフになり、短絡用トランジスタ5はゲート電極が出力部out2に接続されるためにオン状態になる。そして、電流Iは、短絡用トランジスタ5を介して、出力部out2から出力部out1へと流れる。

【0093】

そして、期間Aでは、スイッチSW1, SW2がオンとなり、短絡用トランジスタ5は、 V_{out1} と V_{out2} の電位差が V_{th} より低くなるとオフとなる。

【0094】

以後、水平走査期間H1, H2が繰り返される。

【0095】

以上のように、本実施形態の信号線駆動回路によれば、パネル側の負荷に充電された電荷を隣接する負荷に無駄なく分配することができるので、消費電力が低減される。

【0096】

特に、本実施形態の信号線駆動回路の省電力機能が発揮されるのは、パネル側の負荷容量が大きい場合である。

【0097】

パネル側の負荷容量が大きい場合には、例えば水平走査期間H1の期間B内では、負荷間の電荷の分配が完了しないおそれがある。この場合、本実施形態の信号線駆動回路においては、期間Aであっても V_{out1} と V_{out2} の極性が入れ替わるまで短絡用トランジスタ5がオン状態になっているので、負荷間の電荷の分配は引き続き行われる。このため、オペアンプAMP2の出力による充電量

が少なくて済む。

【0098】

これに対し、従来の信号線駆動回路では、期間Bの終了と同時に短絡用のトランジスターゲートがオフになる。1水平走査期間は一般に $10\ \mu\text{sec}$ 程度で、そのうち期間Bは $40\sim50\ \text{nsec}$ 程度と非常に短いので、パネル側の負荷にたまつた電荷の再分配を完了することは難しい。

【0099】

以上のような消費電力の低減効果は、水平走査期間H2においても同様である。

【0100】

このように、本実施形態の信号線駆動回路によれば、従来と比べパネルの容量が大きい場合でも、消費電力を効果的に低減することができる。つまり、本実施形態の信号駆動回路を用いれば、消費電力が抑えられた、大画面の液晶表示装置を実現することができる。

【0101】

また、オペアンプAmp1, Amp2を流れる電流量を低減できるので、信号線駆動回路での発熱を抑えることができ、熱による動作不良を起こしにくくなっている。

【0102】

さらに、本実施形態の信号駆動回路において、省電力化のためには短絡用トランジスタ5のオン抵抗のみを小さくすればよいので、第1の制御トランジスタ1及び第2の制御トランジスタ3は最小サイズとすることができます。そのため、従来の信号線駆動回路に比べて小面積化を図ることもできる。

【0103】

なお、本実施形態の信号線駆動回路において、パネル側負荷の電荷を無駄なく再分配するために、オペアンプAmp1, Amp2の応答速度は十分に高いことが望ましい。

【0104】

なお、図3を参照し、第1の制御トランジスタ1に接続される配線の電圧供給

配線S1からの分岐点、及び第2の制御トランジスタ3に接続される配線の電圧供給配線S2からの分岐点は、それぞれ短絡用トランジスタ5に接続される配線の電圧供給配線S1、S2からの分岐点よりも出力部寄りに設けられていてよい。

【0105】

なお、本実施形態の信号線駆動回路の説明では、第1の制御トランジスタ1及び第2の制御トランジスタ3がPチャネル型MISFETで短絡用トランジスタ5がNチャネル型MISFETである例を示したが、両制御トランジスタが共にNチャネル型MISFETで、短絡用トランジスタ5がPチャネル型MISFETであっても同様の効果が得られる。

【0106】

また、第1の制御トランジスタ1、第2の制御トランジスタ3及び短絡用トランジスタ5はバイポーラトランジスタであってもよい。

【0107】

なお、本実施形態の信号線駆動回路において、短絡手段2は隣接する全ての電圧供給配線間に設けてもよく、特定の電圧供給配線間にのみ設けてもよい。

【0108】

また、本実施形態の信号線駆動回路は、液晶表示装置以外にもEL(Electro Luminescence)など、パネル側負荷に電荷が保持される表示装置に使用することができる。これは、以後の実施形態についても同様である。

【0109】

なお、本実施形態では、出力部間の短絡手段が信号線駆動回路内に設けられる例を説明したが、液晶パネル内に設けられていてよい。この場合、短絡手段を構成するトランジスタは、サブピクセル中TFTと同一基板上に設けられ、ポリシリコンまたはアモルファスシリコンで形成されていてよい。このことも、以下の実施形態で共通である。

【0110】

また、信号線駆動回路は、半導体チップの形でユーザーに提供してもよいし、TCPやCOF(Chip on film)の形で提供してもよい。

【0111】

なお、本発明の信号線駆動回路で用いられるMISFETは、製造の容易さなどから、実際にはMOSFETであることが最も好ましい。

【0112】

(第2の実施形態)

本発明の第2の実施形態として、第1の実施形態と同一構成の短絡手段を有し、該短絡手段が同一色階調用の出力部同士を短絡する信号線駆動回路について説明する。

【0113】

なお、信号線駆動回路の出力回路以外の構成、及び信号線駆動回路によって駆動される液晶パネルの構成は第1の実施形態と同様である。

【0114】

図5は、本実施形態の信号線駆動回路のうち、出力回路の構成を示す回路図である。

【0115】

同図に示すように、本実施形態の信号線駆動回路は、出力が入力に帰還されたオペアンプAmp1, Amp2…, Amp_N (Nは1チップの信号線駆動回路あたりの出力数)と、液晶パネルに出力電圧Vout1, Vout2, …Vout_Nをそれぞれ供給するための出力部out1, out2, …out_Nと、K番目($1 \leq K + 3 \leq N$; Kは自然数)のオペアンプAmp_Kの出力部と出力部out_Kとを接続する電圧供給配線S_Kと、電圧供給配線S_K上に介設されたスイッチSW_Kと、電圧供給配線S_Kと電圧供給配線S_{K+3}との間に設けられ、出力部out_Kと出力部out_{K+3}とを短絡するための短絡手段2a, 2b, …(以下まとめて短絡手段2と呼ぶ)とを有している。1チップ上に設けられた信号線駆動回路あたりの出力数Nは、例えば384、あるいは480出力である。

【0116】

また、本実施形態の信号線駆動回路はフルカラーの液晶表示装置用であるので、N本の電圧供給配線に接続されたN個の出力部は、回路上においては、例えばR-G-B-R-G-Bといったように、一定の色順に配置されている。なお、

本実施形態の信号線駆動回路においては、短絡手段がオンになる場合には、電圧供給配線 S₁ と S₄、S₇ と S₁₀ とが電気的に短絡される。ただし、S₄ と S₇ をさらに短絡する構成であってもよく、同一の色階調用の出力部に接続する電圧供給配線がすべて短絡される構成であってもよい。また、何本かの電圧供給配線を一セットにして短絡することもできる。

【0117】

この短絡手段 2 の各々は、第 1 の実施形態で説明した短絡手段 2 と同一の素子構成を有している。

【0118】

すなわち、短絡手段 2 は、K 番目の電圧供給配線 S_K と (K + 3) 番目の電圧供給配線 S_{K+3} とを結ぶ配線上に設けられた第 1 の制御トランジスタ 1 及び第 2 の制御トランジスタ 3 と、電圧供給配線 S_K と電圧供給配線 S_{K+3} とを結ぶ短絡用配線上に設けられ、ゲート電極が第 1 の制御トランジスタ 1 と第 2 の制御トランジスタ 3 との間に接続された短絡用トランジスタ 5 とから構成されている。ここで、第 1 の制御トランジスタ 1、第 2 の制御トランジスタ 3 はそれぞれ制御信号 V_b、V_a によって制御される P チャネル型 M I S F E T であり、短絡用トランジスタ 5 は、N チャネル型 M I S F E T である。

【0119】

なお、第 1 の制御トランジスタ 1 は、それぞれ図 5 に示す第 1 の制御トランジスタ 1a、1b … のうちの 1 つを表しており、第 2 の制御トランジスタ 3 も第 2 の制御トランジスタ 3a、3b … のうちの 1 つを表している。短絡用トランジスタ 5 も複数の短絡用トランジスタのうちのいずれか 1 つを示している。

【0120】

また、本実施形態において、各第 1 の制御トランジスタ 1 のゲート電極には同一の制御信号 V_b が入力され、各第 2 の制御トランジスタ 3 のゲート電極には同一の制御信号 V_a が入力される。

【0121】

なお、本実施形態の信号線駆動回路における出力回路の動作は、基本的に図 4 に示す第 1 の実施形態に係る信号線駆動回路と同じである。

【0122】

ただし、本実施形態の信号線駆動回路では同じ色用の出力部同士を短絡しているので、図4において V_{in1} をK番目の電圧供給配線への入力信号 V_{in_K} に、 V_{in2} を $V_{in_{K+3}}$ に、 V_{out1} を V_{out_K} に、 V_{out2} を $V_{out_{K+3}}$ にそれぞれ読み替えればよい。

【0123】

以上のように、本実施形態の信号線駆動回路では、同じ色階調用の全ての出力部を所定のタイミングで短絡するので、パネル側負荷に蓄えられた電荷の分配を第1の実施形態に比べてより効率的に行うことができる。

【0124】

これは、液晶パネルにおいて、色の異なるサブピクセルの階調よりも同色のサブピクセルの階調の方がより近いことが多いためである。

【0125】

例えば64階調の液晶表示装置の場合、全赤表示を行なう場合には、Rの階調レベルは64、GとBの階調レベルは共に0となっている。このような場合には、第1の実施形態のようにR階調用とG階調用の出力部を短絡しても、Rの負荷に充電される電荷量はGの負荷に充電される電荷量より大きくなるため、パネル側負荷を効果的に再配分することができない。

【0126】

これに対し、本実施形態の信号線駆動回路によれば、R階調用の出力部同士、G階調用の出力部同士、B階調用の出力部同士が短絡されるので、同じ階調レベルの負荷同士で電荷のやり取りが行われ、効率的に電荷の再配分を行うことができる。このため、本実施形態の信号線駆動回路によれば、従来よりも消費電力の小さい液晶表示装置を実現することができる。ちなみに、ここでは全赤表示を例にとったが、一般に近傍に位置する同色サブピクセルの階調レベルは比較的揃っているので、通常の表示状態においても同様の省電力効果が得られる。

【0127】

また、図5に示す例では、最寄りの同色用の出力部間を短絡しているが、2つ以上の任意の数の同色用出力部間を電気的に短絡してもよく、全ての同色用の出

力部同士を同時に短絡してもよい。同色用の全出力部が電気的に短絡されると、出力部の電位はより平均化されて中間電位（コモン電圧）に近づくので、より確実に電荷の再分配を行うことが可能になる。

【0128】

なお、本実施形態における短絡手段は集積化が容易なMISFETで構成されており、第1の実施形態と同様に第1の制御トランジスタ1及び第2の制御トランジスタ3は最小サイズとすることができるので、従来の信号駆動回路に比べて小面積化を図ることができる。

【0129】

なお、第1の制御トランジスタ1、第2の制御トランジスタ3が共にNチャネル型MISFETで、短絡用トランジスタ5がPチャネル型MISFETであってもよい。

【0130】

また、第1の制御トランジスタ1、第2の制御トランジスタ3及び短絡用トランジスタ5がバイポーラトランジスタであってもよい。

【0131】

なお、本実施形態で用いられた、同じ色階調用の出力部同士を短絡する構成は、それ自体で省電力効果を発揮するので、従来のように、短絡手段がトランジスタのみである場合に用いても有効である。

【0132】

なお、図5に示す回路構造を実現するための実際の回路配置については後の実施形態で説明する。本実施形態において、回路上では近傍に位置する一対の同色用の出力部間には他の色用出力部が配置されるように見えるが、実際の回路配置では同色用の出力部同士が隣接して設けられる場合もある。ただし、パネル側の信号線は、通常R-G-B-R…のように、色順に配置されている。

【0133】

(第3の実施形態)

本発明の第3の実施形態に係る信号線駆動回路は、第1の実施形態で用いられた短絡手段の構成に一部変更を加えたものである。

【0134】

図6は、本実施形態の信号線駆動回路のうち、出力回路の構成を示す回路図である。

【0135】

同図に示すように、本実施形態の信号線駆動回路は、出力が入力に帰還されたオペアンプAmp1, Amp2と、液晶パネルに出力電圧Vout1, Vout2をそれぞれ供給するための出力部out1, out2と、オペアンプAmp1の出力部と出力部out1とを接続する電圧供給配線S1と、オペアンプAmp2の出力部と出力部out2とを接続する電圧供給配線S2と、電圧供給配線S1上に介設されたスイッチSW1と、電圧供給配線S2上に介設されたスイッチSW2と、電圧供給配線S1と電圧供給配線S2との間に設けられ、出力部out1と出力部out2とを短絡するための短絡手段30とを有している。この短絡手段30は、電圧供給配線S1のうちスイッチSW1ー出力部out1間の部分と電圧供給配線S2のうちスイッチSW2ー出力部out2間の部分との間に設けられている。

【0136】

そして、短絡手段30は、電圧供給配線S1と電圧供給配線S2とを結ぶ配線上に設けられた第1の制御トランジスタ21及び第2の制御トランジスタ23と、電圧供給配線S1と電圧供給配線S2とを結ぶ配線上に設けられ、ゲート電極が第1の制御トランジスタ21ー第2の制御トランジスタ23間を結ぶ配線に接続された短絡用トランジスタ25と、制御信号Vcによって制御され、接地と短絡用トランジスタ25のゲート電極との間に設けられた第3の制御トランジスタ34とから構成されている。ここで、第1の制御トランジスタ21、第2の制御トランジスタ23はそれぞれ制御信号Vb, Vaによって制御されるPチャネル型MISFETであり、短絡用トランジスタ5は、Nチャネル型MISFETである。また、第3の制御トランジスタ34はNチャネル型MISFETであり、第3の制御トランジスタ34と短絡用トランジスタ25のゲート電極とを接続する配線は、第1の制御トランジスタ21と第2の制御トランジスタ23とを結ぶ配線に接続されている。

【0137】

なお、図6では2本の電圧供給配線S1, S2及び2つの出力部のみを示しているが、実際には1つの信号線駆動回路が、多数本（例えば512本）の電圧供給配線と多数個の出力部を有している。そして、回路図の上では、出力部はR-G-B-R-G-B…のように一定の順番で配置されている。実際の配線及び出力部の配置については後の実施形態で説明する。

【0138】

以上のように、本実施形態の信号線駆動回路が第1の実施形態と異なるのは、短絡用トランジスタ25を制御するための第3の制御トランジスタ34をさらに設けた点である。

【0139】

次に、出力回路の動作を通して第3の制御トランジスタ34を設ける効果について説明する。

【0140】

図7は、本実施形態の信号線駆動回路のうち、出力回路の各部における電圧変化及び短絡用配線に流れる電流変化を示すタイミングチャート図である。

【0141】

まず、図7に示すように、水平走査期間H1のうち期間Bでは、オペアンプAmp1, Amp2への各入力電圧Vin1, Vin2の極性がそれぞれ(+)、(-)から(-), (+)へと変化する。期間Bでは、スイッチSW1, SW2は共にオフになる。

【0142】

そして、制御電圧Vbはロー、制御電圧Vaはハイ、制御電圧Vcはローとなる。これにより、期間Bにおいて第1の制御トランジスタ21はオン、第2の制御トランジスタ23はオフ、第3の制御トランジスタ34はオフとなる。

【0143】

ここで、期間Bの開始時には高電圧のVout1が短絡用トランジスタ25のゲート電極に入力され、短絡用トランジスタ25はオンとなる。このため、出力部out1に接続されたパネル側負荷から出力部out2に接続されたパネル側

負荷へ、短絡用トランジスタ25を通って電流Iが流れ込む。

【0144】

なお、本実施形態の信号線駆動回路においても、短絡用トランジスタ25のしきい値電圧V_{th}が、V_{out1}とV_{out2}の差よりも小さい時には短絡用トランジスタ25はオンになる。このため、期間Bでは、負荷に充電された電荷の再分配が完了するまで短絡用トランジスタ25はオフにならない。ここまで第1の実施形態と同様の動作である。

【0145】

次に、水平走査期間H1のうち期間Aでは、スイッチSW1, SW2が共にオンになり、オペアンプAmp1, Amp2の出力がそれぞれ出力部out1, out2へと伝達される。この時、出力部out1に接続された負荷は出力部out1からオペアンプAmp1へと流れる電流を放電するとともに、出力部out2に接続された負荷はオペアンプAmp2から出力部out2へと流れる電流により充電される。

【0146】

また、期間Aでは制御電圧Vb, Vcがハイに変化し、制御電圧Vaはハイのままとなる。このため、第1の制御トランジスタ21及び第2の制御トランジスタ23はオフ、第3の制御トランジスタ34はオンとなり、短絡用トランジスタ25のゲート電極は接地される。その結果、短絡用トランジスタ25は速やかにオフ状態となる。

【0147】

そして、次の水平走査期間では出力部out1, out2の電圧の極性が水平走査期間H1と入れ替わった状態で、同様の動作が繰り返される。

【0148】

以上のように、本実施形態の信号線駆動回路の動作上の特徴は、図7に示す期間Aにおいて短絡用トランジスタ25が速やかにオフになることである。

【0149】

オペアンプAmp1, Amp2の動作が遅い場合や、出力負荷が特定の条件にある場合は、短絡用トランジスタ25を介してパネル側負荷に再分配させた電荷

をオペアンプAmp1, Amp2が抜くことがある。例えば、オペアンプAmp1, Amp2からの各出力の電圧変化が出力部の電圧Vout1, Vout2の変化よりも遅く、水平走査期間H1の期間Aの開始時にオペアンプAmp2の出力電圧がVout2よりも低いままである場合、短絡用トランジスタ25がオンのままだと電流IがオペアンプAmp2に抜かれてしまう。また、出力負荷は、出力回路を構成するオペアンプの抵抗や配線抵抗などによって決まり、kの設計次第では短絡手段を通過する電流がオペアンプへと流れてしまう。

【0150】

しかし、本実施形態の信号線駆動回路では、期間Aで短絡用トランジスタ25が速やかにオフになるため、パネル側負荷の電荷の再分配を、電荷をロスすることなく確実に行えるようになっている。

【0151】

このように、本実施形態の信号線駆動回路によれば、出力負荷の最適化を行なう必要がないので回路設計が容易になる。また、オペアンプの応答速度によって消費電力の低減効果が左右されにくくなる。

【0152】

これに加えて、集積化が容易なMISFETのみで短絡手段30が構成されるので、回路面積も比較的小さくすることができる。

【0153】

また、本実施形態の信号線駆動回路は、従来の液晶表示装置で用いられていたコントローラー（信号の周期を生成する装置）に対応可能であるので、外部の回路を変更することなく消費電力の低減を図ることができる。

【0154】

（第4の実施形態）

本発明の第4の実施形態として、第3の実施形態と同一構成の短絡手段を有し、該短絡手段が同一色階調用の出力部同士を短絡する信号線駆動回路について説明する。

【0155】

なお、信号線駆動回路の出力回路以外の構成、及び信号線駆動回路によって駆

動される液晶パネルの構成は第1～3の実施形態と同様である。

【0156】

図8は、本実施形態の信号線駆動回路のうち、出力回路の構成を示す回路図である。

【0157】

同図に示すように、本実施形態の信号線駆動回路は、出力が入力に帰還されたオペアンプ $Amp_1, Amp_2 \dots, Amp_N$ (N は1チップの信号線駆動回路あたりの出力数) と、液晶パネルに出力電圧 $V_{out1}, V_{out2}, \dots V_{outN}$ をそれぞれ供給するための出力部 $out_1, out_2, \dots out_N$ と、K番目 ($1 \leq K + 3 \leq N$; K は自然数) のオペアンプ Amp_K の出力部と出力部 out_K を接続する電圧供給配線 S_K と、電圧供給配線 S_K 上に介設されたスイッチ SW_K と、電圧供給配線 S_K と電圧供給配線 S_{K+3} との間に設けられ、出力部 out_K と出力部 out_{K+3} を短絡するための短絡手段 $30a, 30b, \dots$ (以下まとめて短絡手段 30 と呼ぶ) とを有している。1チップ上に設けられた信号線駆動回路あたりの出力数 N は、例えば384あるいは480出力である。

【0158】

また、本実施形態の信号線駆動回路はフルカラーの液晶表示装置用であるので、 N 本の電圧供給配線に接続された N 個の出力部は、回路上においては、例えば $R - G - B - R - G - B$ といったように、一定の色順に配置されている。なお、本実施形態の信号線駆動回路においては、短絡手段がオンになる場合には、電圧供給配線 S_1 と S_4 , S_7 と S_{10} が電気的に短絡される。ただし、 S_4 と S_7 がさらに短絡される構成であってもよいし、同一の色階調用の出力部に接続する電圧供給配線がすべて電気的に短絡される構成であってもよい。なお、同時に短絡される出力部の数は、2つ以上であれば任意である。

【0159】

そして、この短絡手段 30 は、K番目の電圧供給配線 S_K と $(K + 3)$ 番目の電圧供給配線 S_{K+3} とを結ぶ第1の配線上に設けられた第1の制御トランジスタ 21 及び第2の制御トランジスタ 23 と、電圧供給配線 S_K と電圧供給配線 S_{K+3} とを結ぶ短絡用配線上に設けられ、ゲート電極が第1の制御トランジスタ 21 と

第2の制御トランジスタ23との間に接続された短絡用トランジスタ25と、第1の制御トランジスタ21-第2の制御トランジスタ23間の配線に接続され、且つ短絡用トランジスタ25のゲート電極と接地との間に設けられた第3の制御トランジスタ34とから構成されている。ここで、第1の制御トランジスタ21、第2の制御トランジスタ23はそれぞれ制御信号Vb、Vaによって制御されるPチャネル型MISFETであり、第3の制御トランジスタ34は制御信号Vcによって制御されるNチャネル型MISFETである。また、短絡用トランジスタ25は、Nチャネル型MISFETである。

【0160】

なお、本実施形態の信号線駆動回路における出力回路の動作は、基本的に図7に示す第1の実施形態に係る信号線駆動回路と同じである。

【0161】

ただし、本実施形態の信号線駆動回路では同じ色用の出力部同士を短絡しているので、図7において V_{in1} をK番目の電圧供給配線への入力信号 V_{in_K} に、 V_{in2} を $V_{in_{K+3}}$ に、 V_{out1} を V_{out_K} に、 V_{out2} を $V_{out_{K+3}}$ にそれぞれ読み替えればよい。

【0162】

以上のように、本実施形態の信号線駆動回路では、同じ色階調用の全ての出力部を所定のタイミングで短絡するので、パネル側負荷に蓄えられた電荷の分配を第3の実施形態に係る信号線駆動回路よりもより効率的に行なうことができる。

【0163】

このように、本実施形態の信号線駆動回路を用いれば、消費電力の小さい大画面の液晶テレビやパーソナルコンピュータ用の液晶ディスプレイなどが実現される。

【0164】

(第5の実施形態)

本発明の第5の実施形態に係る信号線駆動回路は、出力部同士を短絡した場合に、電流が流れる短絡用配線が2本設けられていることを特徴としている。

【0165】

図9は、本実施形態の信号線駆動回路のうち、出力回路の構成を示す回路図である。

【0166】

同図に示すように、本実施形態の信号線駆動回路において、短絡手段40以外の構成は第1、第3の実施形態と同一であるので、以下短絡手段40の説明のみを行なう。

【0167】

短絡手段40は、電圧供給配線S1と電圧供給配線S2とを接続し、出力部o_{ut1}と出力部o_{ut2}とが短絡される際に電流通路となる第1の短絡用配線及び第2の短絡用配線と、両短絡配線上に設けられた素子とを有している。

【0168】

第1の短絡用配線上にはS1に近い側から第1の短絡用トランジスタ41、CMOS構成の第1のトランスファーゲートTG1がそれぞれ介設されており、第2の短絡用配線上にはS1に近い側からCMOS構成の第2のトランスファーゲートTG2、第2の短絡用トランジスタ43がそれぞれ介設されている。

【0169】

また、第1の短絡用トランジスタ41及び第2の短絡用トランジスタ43は共にNチャネル型MISFETである。そして、第1の短絡用トランジスタ41のゲート電極は、第1の短絡用配線のうち第1の短絡用トランジスタ41と電圧供給配線S1との間の部分に接続されており、第2の短絡用トランジスタ43のゲート電極は、第2の短絡用配線のうち第2の短絡用トランジスタ43と電圧供給配線S2との間の部分に接続されている。

【0170】

そして、第1のトランスファーゲートTG1のうちのPチャネル型MISFETは制御信号Vbに、Nチャネル型MISFETはVbの逆相信号により制御される。また、第2のトランスファーゲートTG2のうちのPチャネル型MISFETは制御信号Vaに、Nチャネル型MISFETはVaの逆相信号により制御される。

【0171】

なお、図9では2本の電圧供給配線S1, S2及び2つの出力部のみを示しているが、実際には1つの信号線駆動回路が、多数本（例えば512本）の電圧供給配線と多数個の出力部を有している。そして、回路図の上では、電圧供給配線及び出力部はR-G-B-R-G-B…のように一定の順番で配置されている。実際の配線及び出力部の配置については後の実施形態で説明する。

【0172】

以上のように、本実施形態の信号線駆動回路が第1及び第3の実施形態と異なるのは、短絡用配線を電流の流れる方向によって2つに分けた点である。

【0173】

次に、出力回路の動作を通して短絡用配線を2本に分けた効果について説明する。

【0174】

図10は、本実施形態の信号線駆動回路のうち、出力回路の各部における電圧変化及び各短絡用配線に流れる電流変化を示すタイミングチャート図である。

【0175】

まず、図7に示すように、水平走査期間H1のうち期間Bでは、オペアンプAmp1, Amp2への各入力電圧V_{in1}, V_{in2}の極性がそれぞれ(+)、(-)から(-), (+)へと変化する。期間Bでは、スイッチSW1, SW2は共にオフになる。

【0176】

このとき、制御電圧V_bはロー、制御電圧V_aはハイとなる。これにより、期間Bにおいて第1のトランスマジックゲートTG1はオンになり、第2のトランスマジックゲートTG2はオフになる。

【0177】

そのため、第1の短絡用トランジスタ41の各不純物拡散領域（ソースまたはドレイン）はそれぞれ出力部out1, out2に電気的に接続される。よって、期間Bにおいて、第1の短絡用トランジスタ41は出力部out1の電圧V_{out1}により制御されることとなり、オン状態となる。そして、出力部out1に接続されたパネル側負荷から出力部out2に接続されたパネル側負荷へ、第

1の短絡用トランジスタ41を通って電流I1が流れ込む。

【0178】

一方、第2の短絡用トランジスタ43のゲート電極及び一方の不純物拡散領域は出力部out2と電気的に接続しているが、他方の不純物拡散領域は出力部out1と電気的に接続されない。そのため、期間Bでは第2の短絡用トランジスタ43はオフ状態となっている。

【0179】

次に、水平走査期間H1のうち期間Aでは、スイッチSW1, SW2が共にオンになり、オペアンプAmp1, Amp2の出力がそれぞれ出力部out1, out2へと伝達される。この時、出力部out1に接続されたパネル側負荷は出力部out1からオペアンプAmp1へと流れる電流を放電するとともに、出力部out2に接続されたパネル側負荷はオペアンプAmp2からの出力により充電される。

【0180】

また、期間Aでは制御電圧Vbがハイに変化し、制御電圧Vaはハイのままだ。このため、第1のトランスマニアゲートTG1, 第2のトランスマニアゲートTG2は共にオフとなる。よって、第1の短絡用配線にも第2の短絡用配線にも電流は流れない。

【0181】

これにより、オペアンプAmp1の応答速度が遅い場合などでも、第1の短絡用配線を流れる電流I1がオペアンプAmp1側に流れることを防ぐことができる。すなわち、パネル側負荷に蓄えられた電荷をロスすることなく再配分することができる。

【0182】

次に、水平走査期間H2では、水平走査期間H1の時とはVin1, Vin2, Vout1及びVout2の各極性が逆になっており、回路動作も逆になる。

【0183】

すなわち、期間Bにおいては、第1のトランスマニアゲートTG1及び第1の短絡用トランジスタ41が共にオフになり、第2のトランスマニアゲートTG2

及び第2の短絡用トランジスタ43が共にオンになる。その結果、第2の短絡用配線には電流I2が流れ、出力部out2に接続されたパネル側負荷から出力部out1に接続されたパネル側負荷へと電流が流れ込む。

【0184】

次いで、期間Aにおいては、オペアンプAmp1の出力により出力部out1に接続されたパネル側負荷が充電されるとともに、出力部out2に接続されたパネル側負荷からオペアンプAmp2方向に電流が流れる。

【0185】

このとき、第1のトランスマルチゲートTG1及び第1の短絡用トランジスタ41が共にオフになり、第2のトランスマルチゲートTG2及び第2の短絡用トランジスタ43も共にオフになる。

【0186】

以上のように、本実施形態の信号線駆動回路によれば、期間Bでは隣接するパネル側負荷間の電荷の再配分をすることができる。また、オペアンプAmp1, Amp2の応答速度や回路の出力負荷によらず電荷の再配分を効率的に行うことができるので、回路設計を容易にすることができる。

【0187】

また、オペアンプAmp1, Amp2の応答速度が十分に速い場合や回路の出力負荷が適当である場合には、水平走査期間H1の期間Aにおいて制御信号Vbをローのままにし、水平走査期間H2の期間Aでは制御信号Vaをローのままにしてパネル側負荷からの電荷の回収を継続してもよい。この場合、例えば水平走査期間H1では、第1の短絡用トランジスタ41は出力部out1と出力部out2の電位が逆転すると自動的にオフ状態となるので、パネル側負荷に充電された電荷をロスすることなく利用することができる。これは、水平走査期間H2でも同様である。よって、信号線駆動回路から補充する電流を低減することができる。

【0188】

本実施形態の信号線駆動回路によれば、以上のような駆動方法を採ることにより、液晶表示装置の負荷容量が大きい場合などでも消費電力の削減を図ることが

できる。

【0189】

なお、本実施形態の信号線駆動回路では2本の短絡用配線を電圧供給配線S1，S2の間に設けたが、3本以上設けてもよい。

【0190】

また、図9に示す信号線駆動回路の例では、第1の短絡用トランジスタ41のゲート電極が電圧供給配線S1側に接続されているが、第1のトランスファーゲートTG1側に接続されても同様の機能を果たす。同様に、第2の短絡用トランジスタ43のゲート電極は、第2の短絡用配線の第2のトランスファーゲート側に接続されてもよい。

【0191】

また、第1の短絡用配線上に設けられている第1のトランスファーゲートTG1と第1の短絡用トランジスタ41との配置を入れ替えても効果は変わらない。同様に、第2の短絡用トランジスタ43と第2のトランスファーゲートTG2との配置を入れ替えてもよい。

【0192】

また、本実施形態の信号線駆動回路で用いられた第1の短絡用トランジスタ41及び第2の短絡用トランジスタ43を、ダイオード特性を有するデバイスで置き換えることも可能である。

【0193】

図11は、短絡用トランジスタの代わりにダイオードを用いた場合の本実施形態の信号線駆動回路を示す回路図である。同図に示すように、第1の短絡用トランジスタ41に代えて出力部が第1のトランスファーゲートTG1に接続されるダイオード（第1のダイオード50）を用い、第2の短絡用トランジスタ43に代えて出力部が第2のトランスファーゲートTG1に接続されるダイオード（第2のダイオード51）を用いても、省電力効果はMISFETを用いる場合と同様の省電力効果を発揮できる。この際、第1のダイオード50と第2のダイオード51とは出力部out1, out2に対して互いに逆方向に配置される。

【0194】

また、第1の短絡用トランジスタ41及び第2の短絡用トランジスタ43をバイポーラトランジスタに置き換えることも可能である。

【0195】

なお、本実施形態では短絡手段がR-GやB-Rなど、隣接する異なる色階調用の出力部を接続する例を示したが、第2及び第4の実施形態のように同じ色階調用の2つ以上の出力部同士を接続することにより、さらに効果的に消費電力を低減することができる。この場合の実際の回路及び配線の配置は後の実施形態で説明する。

【0196】

(第6の実施形態)

本発明の第6の実施形態として、第1～第5の実施形態に係る信号線駆動回路の出力回路の配線構造の例について説明する。

【0197】

図12(a)は、本発明の信号線駆動回路の回路配置の一例を示すブロック図であり、(b)は、接続手段の配置の例を示す図であり、(c)は、本発明の信号線駆動回路の出力部における配線構造を示す図である。

【0198】

まず、図12(a)に示すように、本発明の信号線駆動回路の出力部においては、例えばR用、G用、B用の画像形成用信号を出力するオペアンプAmp1, 2…が一列に配置されている。そして、2本の電圧供給配線間を接続する接続手段を挟んで、順にR用、G用、B用の出力部が順に配置されている。なお、図12(b)に示すように、実際のレイアウトでは接続手段同士は、ずれて配置されているわけではなく、分割された状態で一列に配置される。

【0199】

本実施形態の信号線駆動回路の特徴は、電圧供給配線が2層に分割されたアルミ配線であり、且つ隣接する配線間の電位差が大きくなるように設けられていることである。

【0200】

図12(c)に示す例では、第1層目には左側から順に出力部out2、出力

部out3、出力部out6が配置され、第2層目には左側から順に出力部out1、出力部out4、出力部out5が配置されている。言い換えれば、隣接するパネル側の信号線（またはサブピクセル）に接続される出力部同士、または同一色用のパネル側の信号線（またはサブピクセル）に接続される出力部同士が隣接するように配置される。

【0201】

ドット反転駆動方式では隣接するパネル側の信号線には互いに極性の異なる信号が印加される。

【0202】

それ故、本実施形態の信号線駆動用回路の出力部では、隣接する配線間の電位差が大きくなっている。加えて、第1層内と第2層内の互いにオーバーラップする配線間の電位差も大きくなっている。この結果、製品検査の際に、隣接する配線間の電位差が小さい場合に比べて不良品の検出が容易になっている。

【0203】

なお、本実施形態の配線の配置方法は、第1、第3の実施形態に係る信号線駆動回路や、従来の信号線駆動回路に適用しても同様の効果を得ることができる。

【0204】

また、配線層が3層以上の場合にも、奇数番目の出力部同士、偶数番目の出力部同士を隣接するように配置することで、製品検査を容易にすることができる。

【0205】

以上のように、本実施形態の信号線駆動回路によれば、製品検査が容易になっているので、規格に合格する製品をより確実にユーザーに供給することが可能となる。

【0206】

(第7の実施形態)

本発明の第7の実施形態として、回路配置を改良した信号線駆動回路について説明する。

【0207】

図13は、本実施形態の信号線駆動回路の回路配置を示すブロック図である。

【0208】

同図に示す回路配置は、第2、第4の実施形態など、K番目（ $1 \leq K + 3 \leq N$ ；Kは自然数）と（K+3）番目の出力部同士、言い換えれば同色用の出力部同士を短絡した場合に有効である。

【0209】

図13に示すように、本実施形態の信号線駆動回路のうちの出力回路では、同一色用のオペアンプAmp1とオペアンプAmp4とが互いに隣接するように設けられている。同様に、オペアンプAmp2とオペアンプAmp5、オペアンプAmp3とオペアンプAmp6とがそれぞれ隣接して設けられている。

【0210】

そして、第2の実施形態の回路構成を例にとると、オペアンプAmp1とオペアンプAmp4とに接続された接続手段2a、オペアンプAmp2とオペアンプAmp5とに接続された接続手段2b、オペアンプAmp3とオペアンプAmp6とに接続された接続手段2cとが順に配置されている。

【0211】

そして、各接続手段2に接続された出力部out1, out2…はパネルの信号線の順に配置される。ここで、接続手段2と出力部out1, out2…との間では、2つの配線層内に設けられた電圧供給配線が交差することによって出力部の配置をパネルの信号線に揃えている。

【0212】

なお、図13では6出力分しか示していないが、画素がR, G, Bの場合、このような6出力ずつの配置が繰り返されて多出力の信号線駆動回路が構成される。

【0213】

本実施形態に示す回路配置によれば、オペアンプ接続手段間での配線の交差が少なくて済み、接続手段のレイアウトを容易にことができる。

【0214】

なお、このレイアウトによれば、接続手段と出力部とを接続する配線を交差する必要があるが、接続手段のレイアウトが容易になることの利点の方が大きい。

【0215】

また、本実施形態に示す回路配置によれば、図12(a)に示す回路配置に比べて配線の引き回し等が削減されるので、面積を縮小することが可能になる。

【0216】

なお、本実施形態の信号線駆動用回路の出力部にも第6の実施形態で説明した配線方法を適用することができる。

【0217】

【発明の効果】

本発明の信号線駆動回路によれば、2つの出力部を短絡するための短絡手段を設け、該短絡手段が2つの出力部のいずれか一方によってオンまたはオフに制御されるので、パネル側負荷に充電された電荷を隣接するパネル側負荷にロスなく分配させることができる。これにより、低消費電力化が図られた大画面の表示装置を提供することが可能になる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る液晶表示装置を示す回路図である。

【図2】

本発明の信号線駆動回路の構成の一例を概略的に示すブロック図である。

【図3】

第1の実施形態に係る信号線駆動回路のうち、出力回路の構成を示す回路図である。

【図4】

第1の実施形態に係る信号線駆動回路のうち、出力回路の各部における電圧変化及び短絡用配線に流れる電流変化を示すタイミングチャート図である。

【図5】

本発明の第2の実施形態に係る信号線駆動回路のうち、出力回路の構成を示す回路図である。

【図6】

本発明の第3の実施形態に係る信号線駆動回路のうち、出力回路の構成を示す

回路図である。

【図7】

第3の実施形態に係る信号線駆動回路のうち、出力回路の各部における電圧変化及び短絡用配線に流れる電流変化を示すタイミングチャート図である。

【図8】

本発明の第4の実施形態に係る信号線駆動回路のうち、出力回路の構成を示す回路図である。

【図9】

本発明の第5の実施形態に係る信号線駆動回路のうち、出力回路の構成を示す回路図である。

【図10】

第5の実施形態に係る信号線駆動回路のうち、出力回路の各部における電圧変化及び各短絡用配線に流れる電流変化を示すタイミングチャート図である。

【図11】

短絡用トランジスタの代わりにダイオードを用いた場合の第5の実施形態に係る信号線駆動回路を示す回路図である。

【図12】

(a) は、本発明の信号線駆動回路の回路配置の一例を示すブロック図であり、(b) は、接続手段の配置の例を示す図であり、(c) は、本発明の第6の実施形態に係る信号線駆動回路の出力部における配線構造を示す図である。

【図13】

本発明の第7の実施形態に係る信号線駆動回路の回路配置を示すブロック図である。

【図14】

従来のフルカラー液晶表示装置を示す回路図である。

【図15】

従来の信号線駆動回路のうち、出力回路を示す図である。

【図16】

従来の出力回路各部における電圧変化を示すタイミングチャート図である。

【図17】

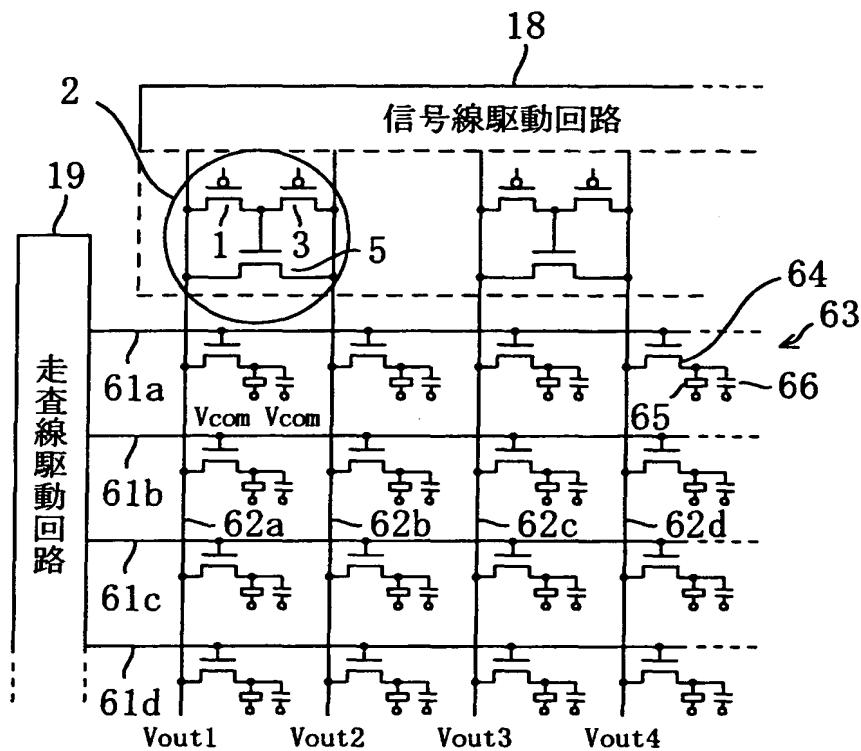
従来の信号線駆動回路のうち、出力回路のマスクレイアウト配置を模式的に示したブロック図である。

【符号の説明】

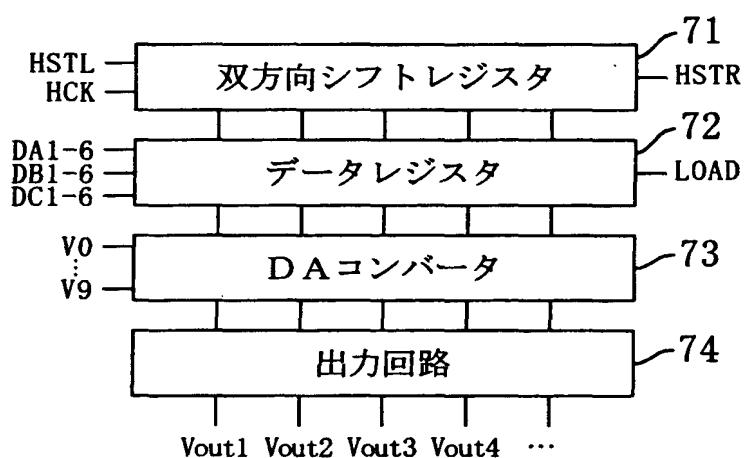
1, 2 1	第1の制御トランジスタ
2, 3 0, 4 0	接続手段
3, 2 3	第2の制御トランジスタ
5, 2 5	短絡用トランジスタ
1 8	信号線駆動回路
1 9	走査線駆動回路
3 4	第3の制御トランジスタ
4 1	第1の短絡用トランジスタ
4 3	第2の短絡用トランジスタ
5 0	第1のダイオード
5 1	第2のダイオード
6 1	走査線
6 2	信号線
6 3	サブピクセル
6 4	TFT
6 5	液晶セル
6 6	ホールドコンデンサ
7 1	双方向シフトレジスタ
7 2	データレジスタ
7 3	D/Aコンバータ
7 4	出力回路
S 1, S 2	電圧供給配線
out 1, out 2	出力部
Amp 1, Amp 2	オペアンプ

【書類名】 図面

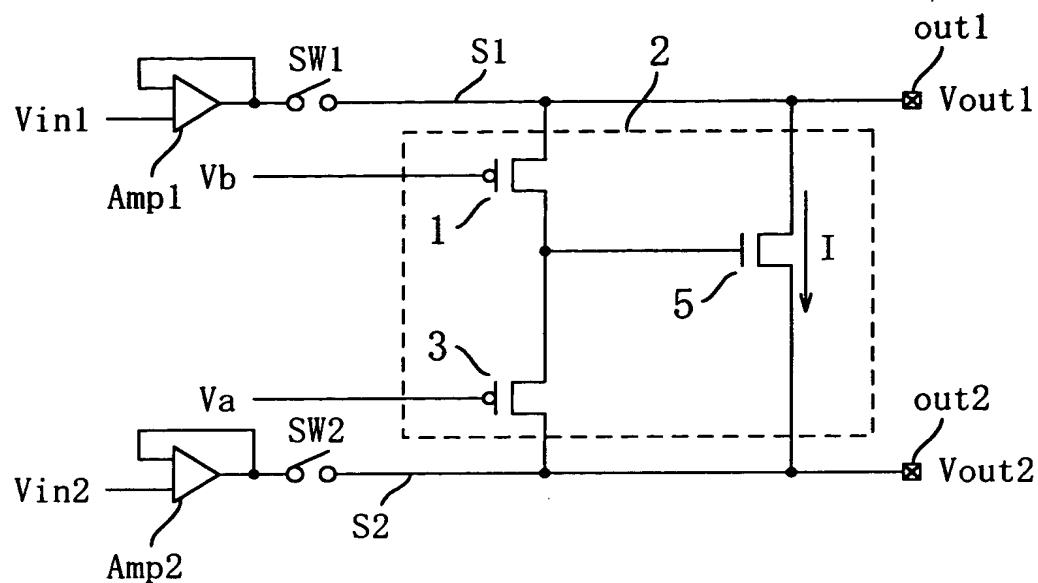
【図1】



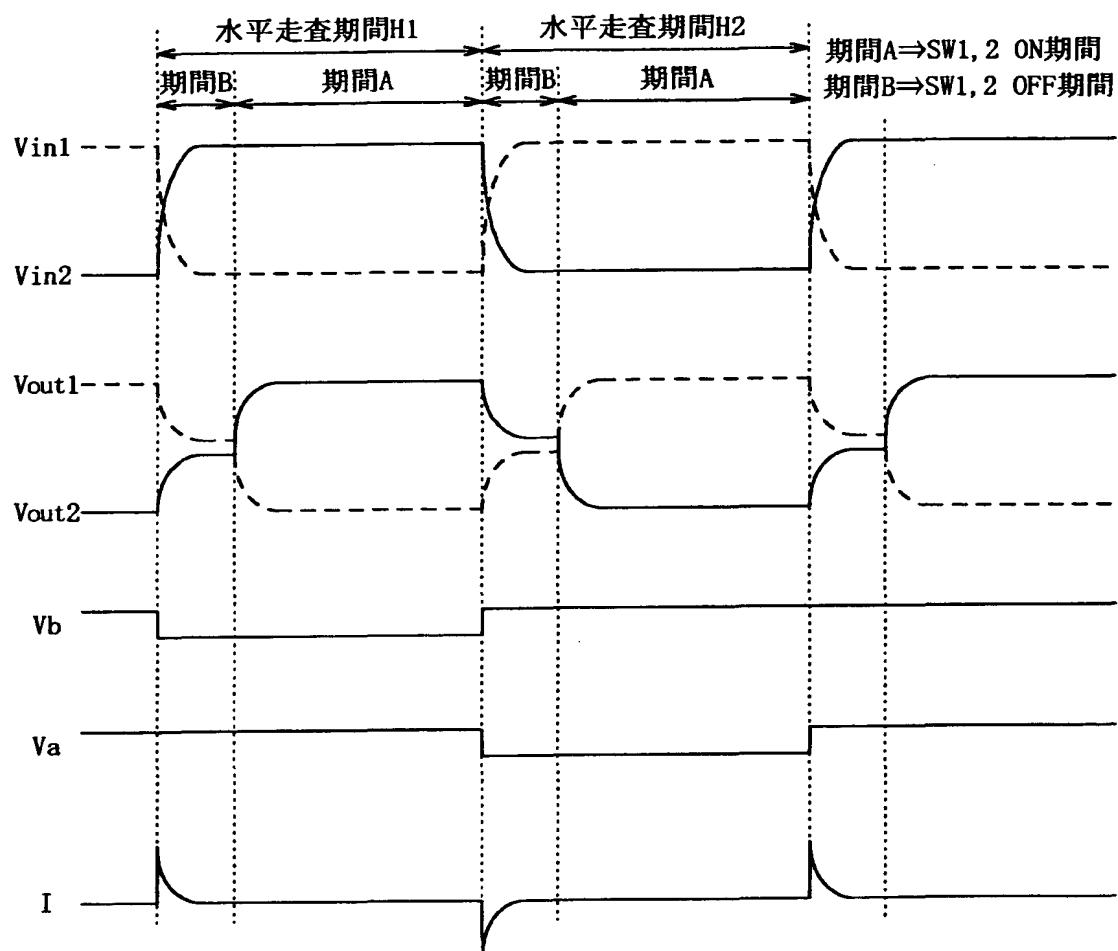
【図2】



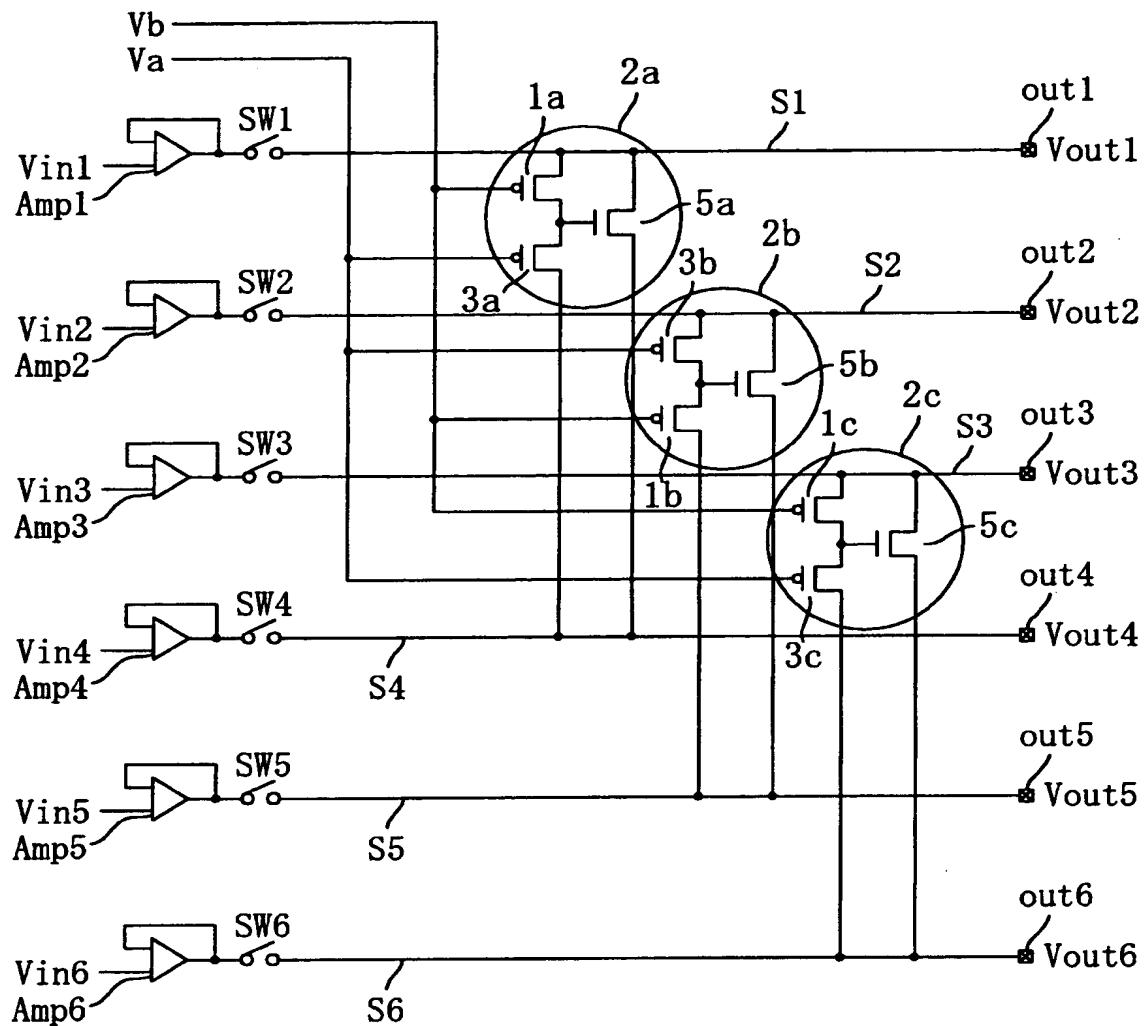
【図3】



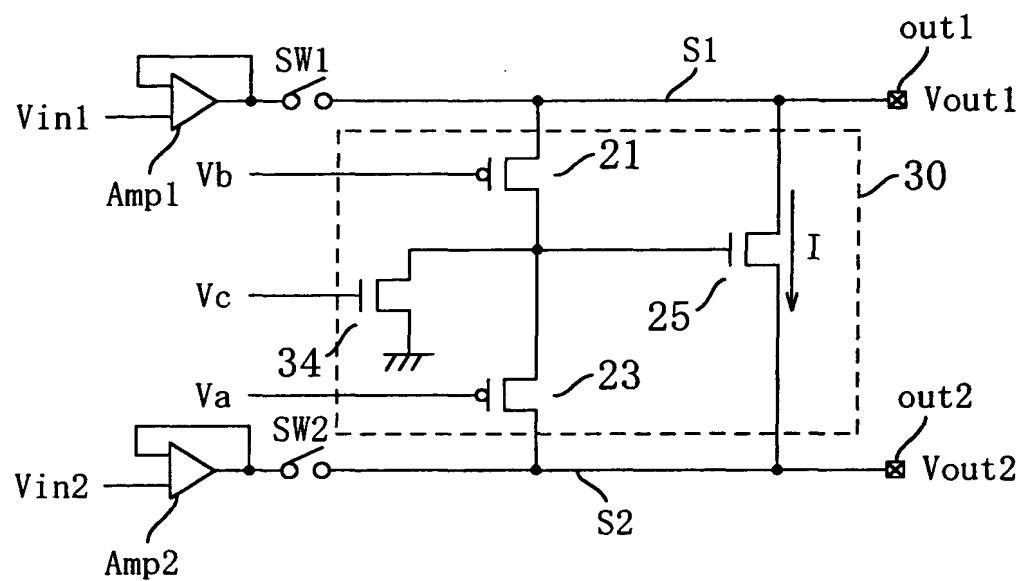
【図4】



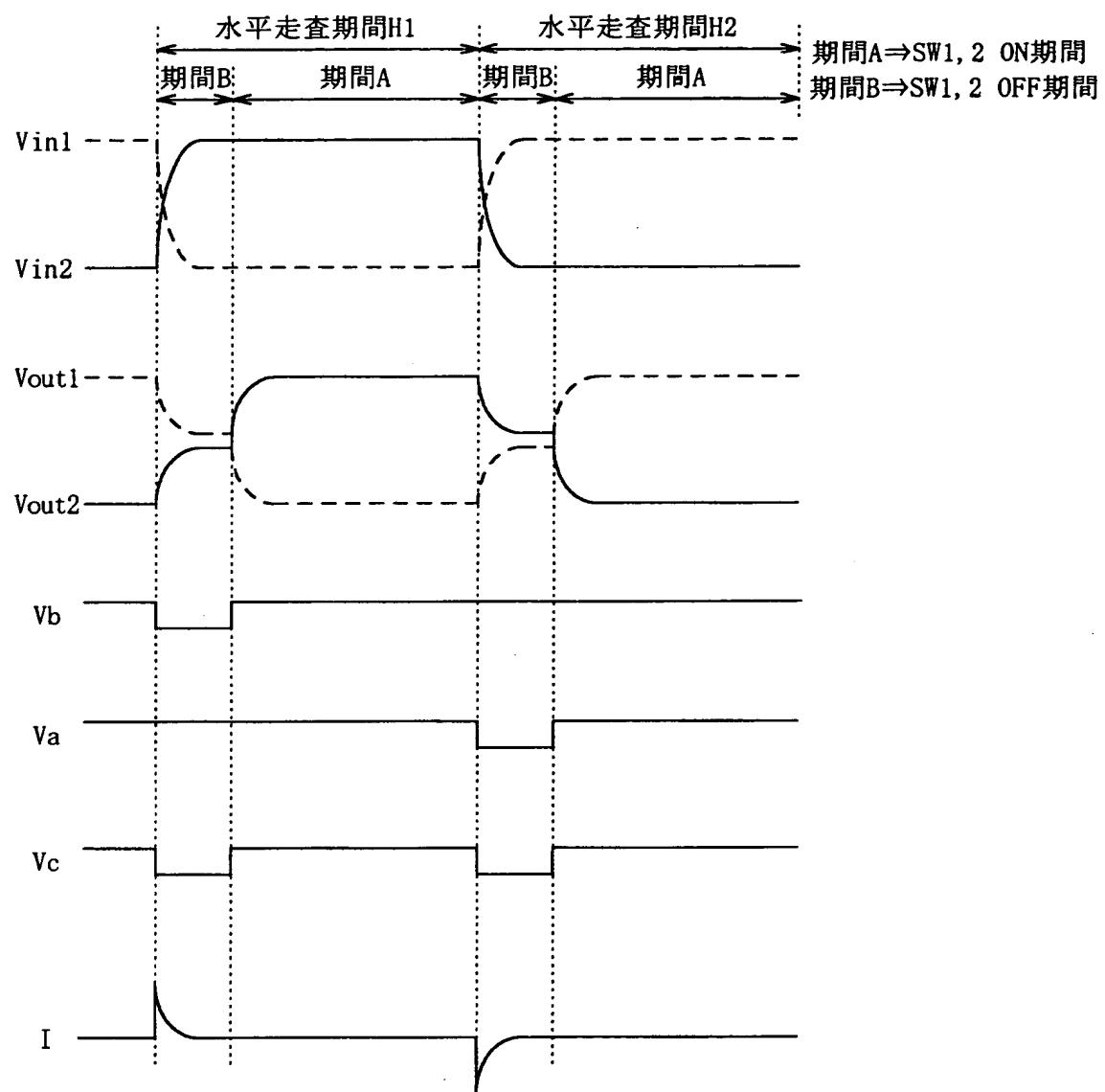
【図5】



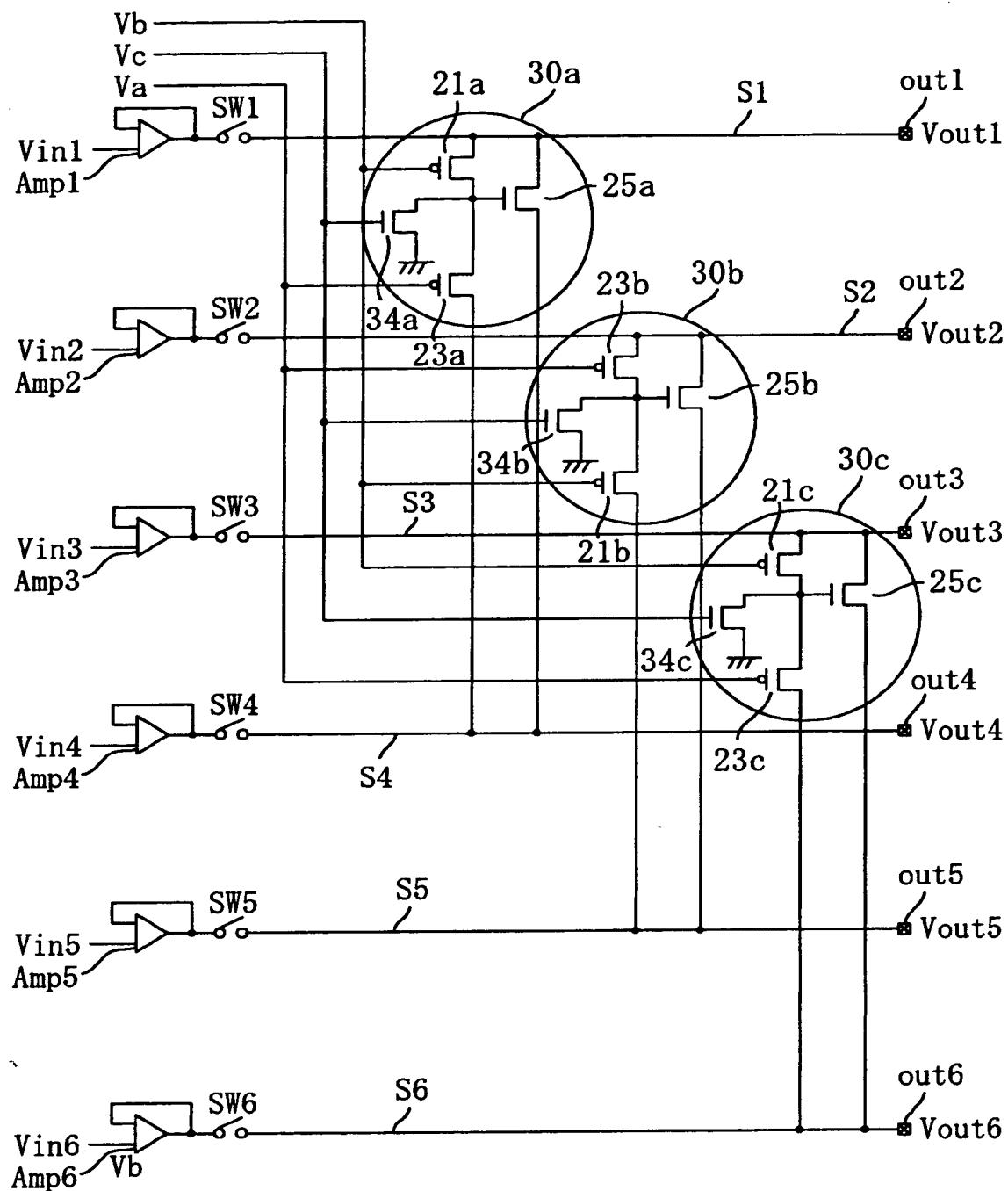
【図6】



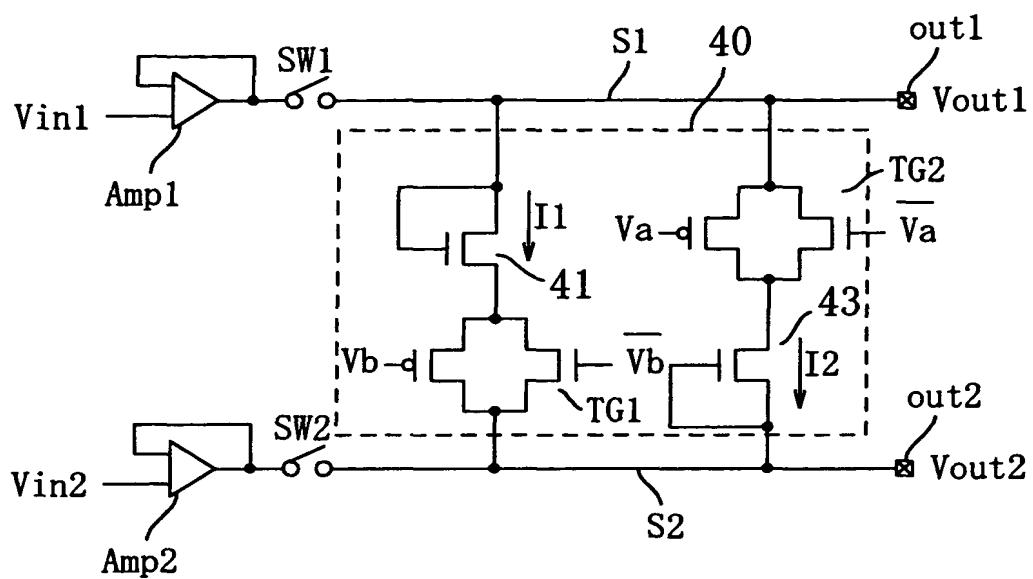
【図7】



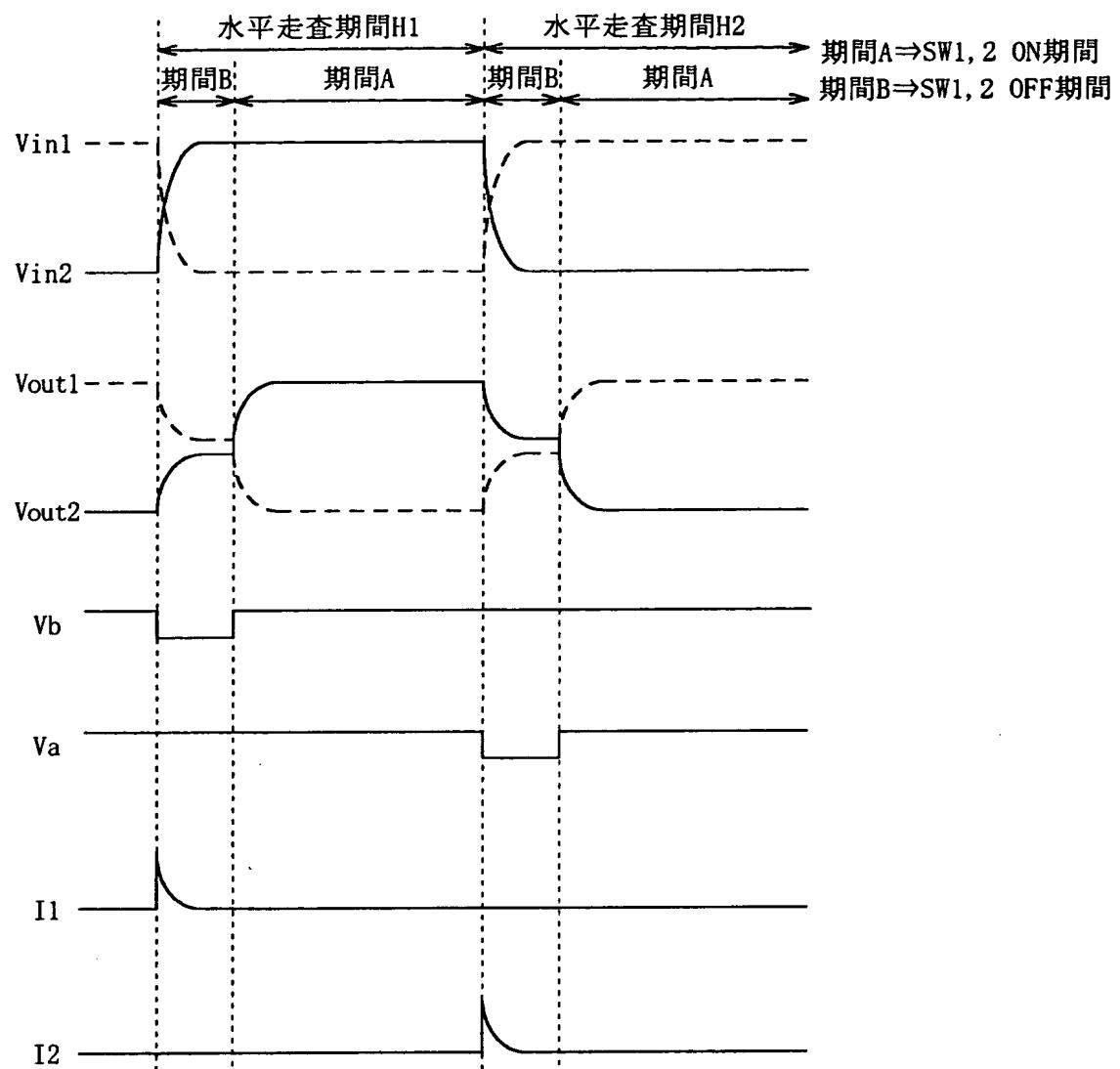
【図8】



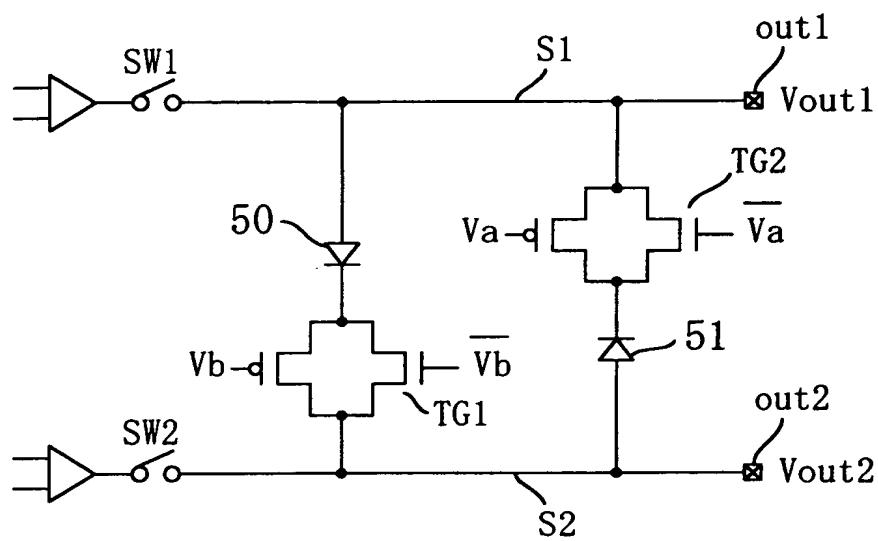
【図9】



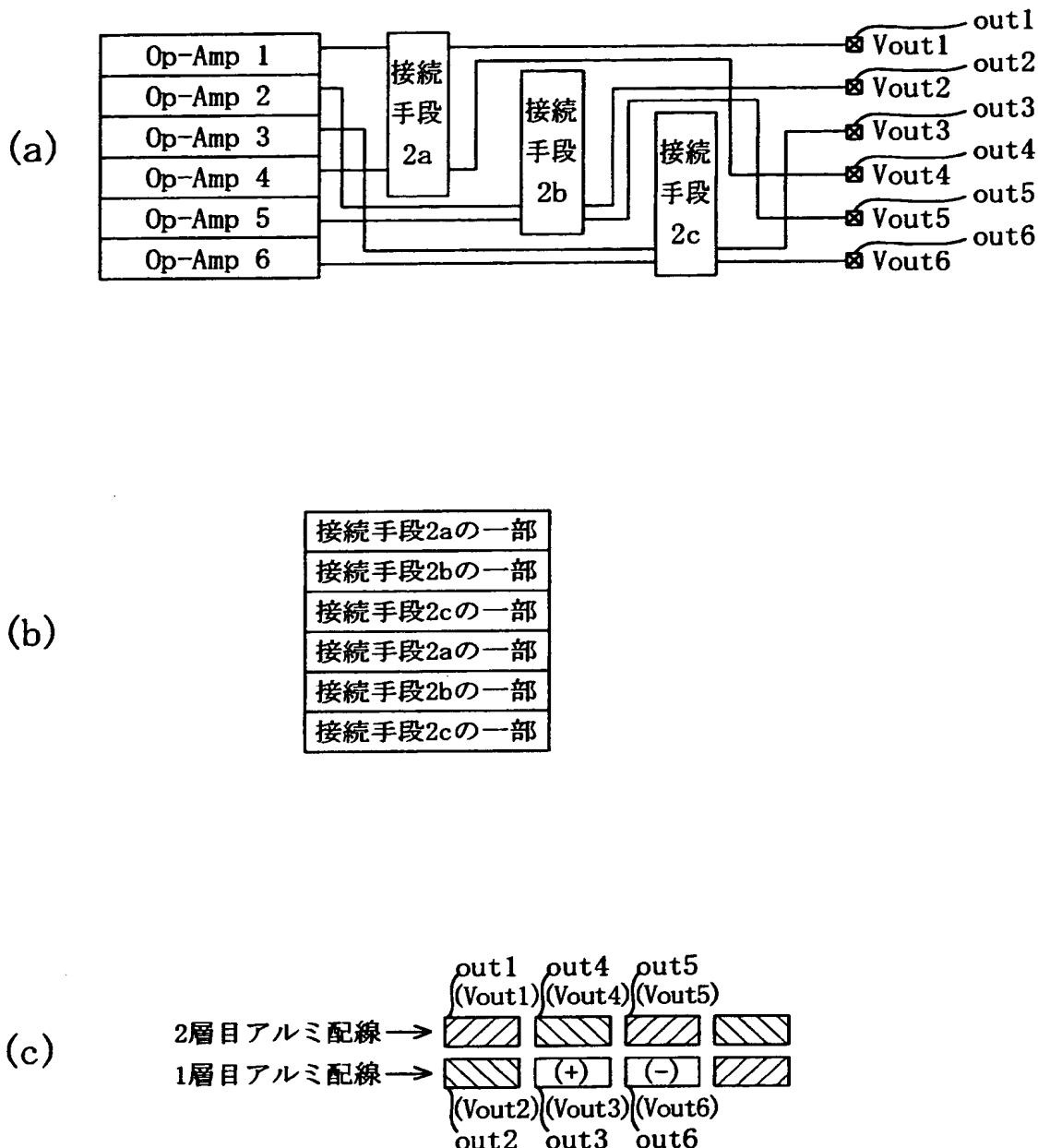
【図10】



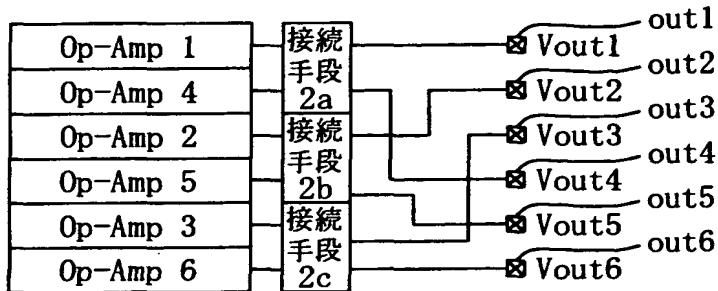
【図11】



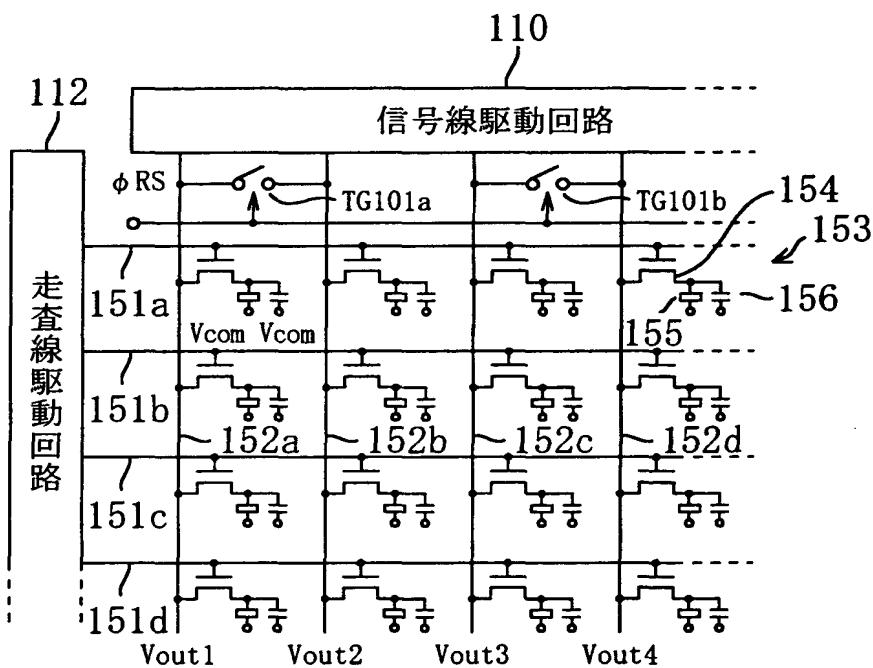
【図12】



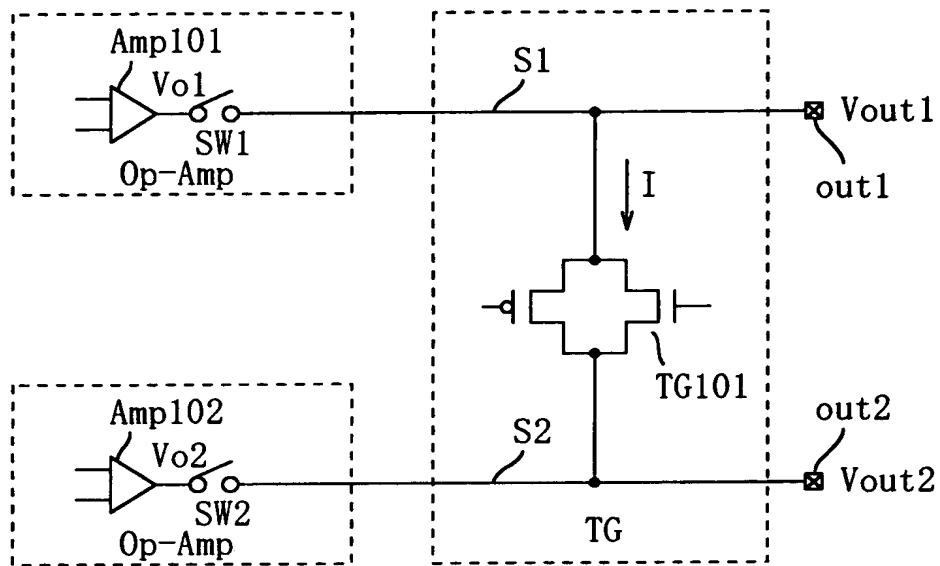
【図13】



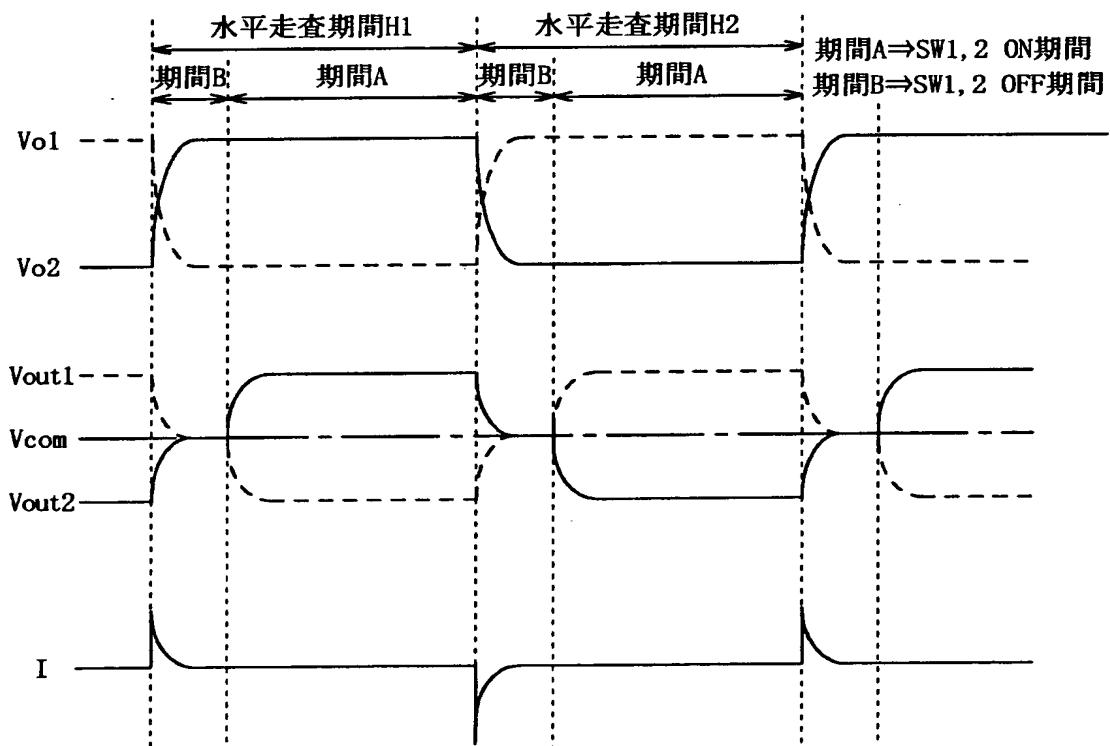
【図14】



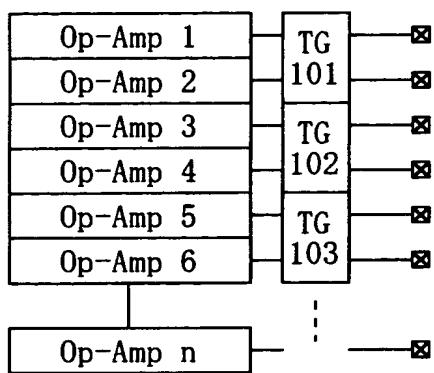
【図15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 さらなる低電力化が図られた表示装置と、該表示装置を実現するための表示装置用駆動回路とを提供する。

【解決手段】 信号線駆動回路は、表示部のサブピクセルに赤用、緑用、青用のいずれか1つの画像形成用信号を供給するための出力部 out_N (Nは自然数) と、出力部 out_N に接続された電圧供給配線 S_N と、所定の期間同一色用の出力部同士を電気的に短絡するための短絡用配線を有する短絡手段25を備えている。同一色用の出力部同士を短絡させることで、パネル側負荷に充電された電荷を効果的に別のパネル側負荷に再分配することができるので、省電力化を図ることができる。

【選択図】 図8

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社